

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2001-522049

(P2001-522049A)

(43)公表日 平成13年11月13日 (2001.11.13)

(51)Int.Cl.⁷

G 0 1 R 31/28
31/3183

識別記号

F I

G 0 1 R 31/28

テマコード (参考)

H 2 G 0 3 2
Q

審査請求 未請求 予備審査請求 有 (全 56 頁)

(21)出願番号 特願2000-519307(P2000-519307)
(86) (22)出願日 平成10年10月26日(1998.10.26)
(85)翻訳文提出日 平成12年5月1日(2000.5.1)
(86)国際出願番号 PCT/US98/22701
(87)国際公開番号 WO99/23499
(87)国際公開日 平成11年5月14日(1999.5.14)
(31)優先権主張番号 08/962,472
(32)優先日 平成9年10月31日(1997.10.31)
(33)優先権主張国 米国(US)
(81)指定国 E P (A T, B E, C H, C Y, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), J P, K R

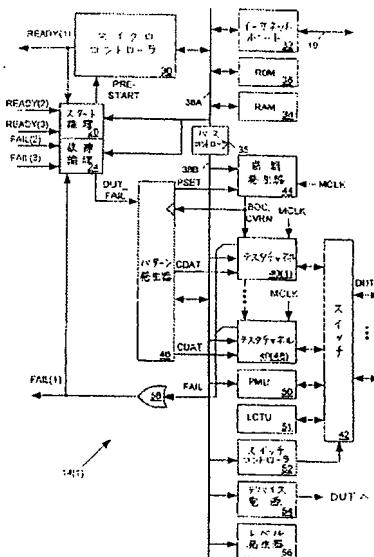
(71)出願人 クリーダンス システムズ コーポレイション
アメリカ合衆国, カリフォルニア州
94539, フレモント, フーリエ アヴェニュー 215
(72)発明者 アーキン・プライアン・ジェイ
アメリカ合衆国, カリフォルニア州
94588, プレザントン, ニュートン ウェイ 3740
(74)代理人 弁理士 山口 邦夫 (外1名)

最終頁に続く

(54)【発明の名称】分散式の同期と制御を具有するモジュラー化された集積回路テスト

(57)【要約】

モジュラー化された集積回路テスト (10) は、被測定集積回路 (DUT) (12) に対して一連の測定を実行する一組のテストモジュール (14) を有する。それぞれのモジュールは、モジュールが一連の測定のうちの各測定においてどのように構成されるべきかを示す命令セットを記憶するメモリ (54) を有する。それぞれの測定の開始前に、それぞれのモジュールのマイクロコントローラ (30) は、命令セットを実行して測定に対してモジュールを適切に構成する。その後、それぞれのモジュールのマイクロコントローラ (30) は、測定の実施が準備されていることを示す準備信号をそれぞれの他のモジュールのスタート論理回路 (20) に送る。測定に参加している全てのモジュールのマイクロコントローラがそれらが準備できているとの信号を送ったときに、それぞれのモジュールのスタート論理回路はそのマイクロコントローラに信号を送って測定を開始する。そして、モジュールは、その作業をマスタクロックに同期させた状態で測定を実施する。モジュールを構成する方法、準備信号を発生する方法、測定を開始する方法は、連続す



【特許請求の範囲】

【請求項1】 複数のターミナルを行する被測定集積回路デバイス（D U T）を測定するためのモジュラー化された集積回路テスタであって、該テスタが、各命令を運ぶためのネットワーク手段と、該ネットワーク手段を経由して複数の命令セットを送信するための前記ネットワーク手段に接続されたホストコンピュータと、該ホストコンピュータによって送信された前記命令セットのうちの対応するものを受け取るための前記ネットワーク手段に接続された複数のテスタモジュールとからなり、それぞれのテスタモジュールが、バス手段と、受け取った命令セットを記憶するために前記バス手段と接続するメモリ手段と、前記バス手段を経由してパターン制御データを受け取って記憶し、その後記憶されたパターン制御データに応じてチャネルデータを発生する、前記バス手段に接続されたパターン発生器と、前記バス手段に接続して、前記バス手段を経由して前記メモリ手段から、受け取った命令セットを読み出して、その命令セットを実行するコントローラ手段であって、前記命令セットが前記コントローラ手段に対して前記バス手段を経由して前記パターン制御データを前記パターン発生器に提供するように命じるものと、前記パターン発生器によって発生されたチャネル制御データを受け取るために接続された複数のテスタチャネルであって、それぞれのテスタチャネルが受け取ったチャネル制御データに応じて前記ターミナルにおける測定作業を行うために前記D U Tのターミナルと接続されているものとからなるモジュラー化された集積回路テスタ。

【請求項2】 それぞれのテスタモジュールが、更に、入力準備信号R E A D Yの論理的組み合わせに応じてプレスタート信号P R E S T A R Tを前記テスタモジュールのコントローラ手段に送るスタート論理手段とからなり、前記パターン制御データをパターン発生器に送った後で、それぞれのテスタモ

ジューのコントローラ手段によって実行される前記命令が前記コントローラ手段に対して準備信号 R E A D Y をそれぞれのテスタモジュールのスタート論理手段に送るように命じ、

それぞれのテスタモジュールのパターン発生器が、スタートメッセージを受信したときに、前記チャネル制御データの発生を始め、更に、

それぞれのモジュールのコントローラ手段が、スタートメッセージに応じて、該スタートメッセージを前記モジュールのパターン発生器に送ることを特徴とする前記請求項 1 に記載のモジュラー化された集積回路テスタ。

【請求項 3】 前記準備信号 R E A D Y の論理的組み合わせが前記スタート論理回路への入力として提供されるデータをプログラミングすることによって決定されることを特徴とする前記請求項 2 に記載のモジュラー化された集積回路テスタ。

【請求項 4】 前記ホストコンピュータが、入力としての前記プログラミングデータを前記ネットワーク手段を経由して前記スタート論理回路に提供することを特徴とする請求項 3 に記載のモジュラー化された集積回路テスタ。

【請求項 5】 前記ネットワーク手段がホストコンピュータから前記テスタモジュールへ前記命令セットをシリアルデータ転送として運ぶことを特徴とする前記請求項 1 に記載のモジュラー化された集積回路テスタ。

【請求項 6】 それぞれのテスタチャネルが、更に、入力された一組のモジュール故障信号の論理的組み合わせに応じて、D U T 故障信号を発生する故障論理手段とからなり、

それぞれのテスタモジュールが、更に、一組のチャネル故障信号に応じて前記モジュール故障信号のうちの一つを発生する手段とからなり、更に、

前記テスタチャネルのうちのいずれか一つによって行われる測定作業が、それが接続されている D U T ターミナルにおいて発生される D U T 出力信号を監視することと、出力信号が予想されるステートではないときに前記チャネル故障信号のうちの一つを発生することを含んでいることを特徴とする前記請求項 1 に記載のモジュラー化された集積回路テスタ。

【請求項 7】 それぞれのテスタモジュールのメモリ手段に記憶された命令

セットが、前記故障論理手段から前記DUT故障信号を受信したときに、前記チャネルのマイクロコントローラ手段によって実行されるルーティンを行することを特徴とする前記請求項6に記載のモジュラー化された集積回路テスタ。

【請求項8】 それぞれのテスタモジュールが、更に、

入力された準備信号READYの論理的組み合わせに応じて前記テスタモジュールのコントローラ手段にプレスタート信号PRESTARTを送るスタート論理手段であって、それぞれのテスタモジュールのコントローラ手段によって実行される前記命令が、パターン発生器に前記パターン制御データを提供した後で、前記コントローラ手段に対して準備信号READYをそれぞれのテスタモジュールのスタート論理手段に送るように命じ、それぞれのテスタモジュールのパターン発生器がスタートメッセージの受信時に前記チャネル制御データの発生を始め、更に、それぞれのモジュールのコントローラ手段が、スタートメッセージに応じて、該スタートメッセージを前記モジュールのパターン発生器に送るものと、

一組の入力されたモジュール故障信号の論理的組み合わせに応じてDUT故障信号を発生する故障論理手段であって、それぞれのテスタモジュールが、更に、一組のチャネル故障信号に応じて前記モジュール故障信号のうちの一つを発生する手段を有し、更に、前記テスタチャネルのうちのいずれか一つによって行われる測定作業が、それが接続されているDUTターミナルにおいて発生するDUT出力を監視することと、出力信号が予想されるステートでないときには前記チャネル故障信号のうちの一つを発生することを含んでいるものとからなることを特徴とする請求項1に記載のモジュラー化された集積回路テスタ。

【請求項9】 前記第一と第二の論理的組み合わせが、前記ネットワーク手段を経由して前記スタート論理回路と前記故障論理回路への入力として提供されたデータをプログラミングすることによって決定されることを特徴とする請求項8に記載のモジュラー化された集積回路テスタ。

【請求項10】 前記ホストコンピュータが、入力としての前記プログラミングデータを前記スタート論理回路と前記故障論理回路へ提供することを特徴とする前記請求項9に記載のモジュラー化された集積回路テスタ。

【請求項11】 複数のターミナルを有する被測定集積回路デバイス(DU

T) に対して一連の測定を行うモジュラー化された集積回路テスタであって、該テスタが複数のテスタモジュールを行し、それぞれのテスタモジュールが、

入力された準備信号 R E A D Y の論理的組み合わせに応じて開始信号 S T A R T を発生するスタート手段と、

測定中に少なくとも一つの D U T ターミナルにおいてなされるべき一連の測定作業を定義する制御データセットを受信し、前記スタート論理手段によって発生された前記スタートメッセージを受信し、更に、前記スタートメッセージに応じて受け取った制御データによって定義された一連の測定作業を行う試験手段と、

命令を記憶するメモリ手段と、

前記メモリ手段に記憶された命令を実行するコントローラ手段であって、前記命令が前記コントローラ手段に対して前記測定のそれぞれに対する個々の組の制御データを連続的に提供するように命じ、それぞれの制御データセットが前記少なくとも一つの D U T ターミナルにおいてなされるべき一連の測定作業を定義し、それぞれの制御データセットを試験手段に提供した後で、前記準備信号 R E A D Y のうちの一つを前記複数のテスタモジュールのそれぞれのスタート論理手段に提供するものとからなるモジュラー化された集積回路テスタ。

【請求項 12】 前記複数のテスタモジュールのそれぞれが、更に、
一組の入力モジュール故障信号の論理的な組み合わせに応じて、D U T 故障信号を発生する故障論理手段と、

一組のチャネル故障信号に応じて前記モジュール故障信号のうちの一つを発生する手段とからなり、前記テスタチャネルのうちのいずれか一つによってなされる測定作業が、それが接続されている D U T ターミナルにおいて発生する D U T 出力信号を監視することと、該出力信号が予想されるステートでないときには前記チャネル故障信号のうちの一つを発生することを含んでいることを特徴とする前記請求項 11 に記載のモジュラー化された集積回路テスタ。

【請求項 13】 それぞれのテスタモジュールのメモリ手段に記憶された命令セットが、前記故障論理手段から D U T 故障信号を受信したときに、前記チャネルのコントローラ手段によって実行されるルーティンを有することを特徴とする前記請求項 12 に記載の集積回路テスタ。

【発明の詳細な説明】**【0001】**発明の背景

発明の技術分野

本発明は、一般的には、集積回路テスタに関するが、特には、多重化した自己同期型のテスタモジュールで構成された集積回路テスタに関する。

【0002】

関連技術の説明

代表的な集積回路（I C）テスタは、一連の測定サイクル中に被測定集積回路デバイス（D U T）の入力ターミナルをデジタル論理測定信号によって刺激することによって、デジタル論理テストを実施する。テスタは、それぞれの測定サイクル中にD U Tのデジタル出力信号を監視して、それらが前記刺激に対して予想される応答をするか否かを判定する。代表的なI Cテスタは、それぞれが一又はそれ以上のテスタチャネルを有する一組の回路ボードを有する。それぞれの測定サイクルの開始時において、それぞれのテスタチャネルは測定サイクル中にD U Tターミナルで行われるべき運転を定義する入力制御データを受け取る。測定作業には、測定サイクル中の特定の時点で測定信号のステートを変更すること、又は、D U T出力信号が測定サイクル中のある特定の時点である特定のステートであるか否かを確認することが含まれる。初期のテスタにおいては、大規模な中央パターン発生器がそれぞれの測定サイクルの開始時にそれぞれのテスタチャネルに対する入力データを生成していた。このデータは、同時に前記パターン発生器から大規模なスターバスを介して全てのテスタボードに送られていた。しかし、D U Tターミナルの数が増えると、データを各テスタチャネルに送るのに必要なスターバスが余りにも大きすぎることとなったので、パターン発生器を中心置くこのアーキテクチャは幾分実用的ではなくなってしまった。

【0003】

現在、I Cテスタは、主に、それぞれのテスタボードがそれ自体のパターン発生器を有するようにして、パターン発生機能を分散させている。代表的なパターン発生器はパターンメモリを有しており、それぞれのアドレスに、測定の対応す

るサイクルの間に一又はそれ以上のテスタチャネルに提供されるべきデータを記憶する。それぞれの測定サイクルの開始時点で、シーケンサはパターンメモリのアドレスをインクリメントして、パターンメモリがそのサイクルのための制御データをテスタチャネルに読み出すようする。テスタボードをプログラミングして測定を実行するために、中央のホストコンピュータは、高速並列データバスを経由してそれぞれのテスタボードのパターンメモリにデータを連続して書き込む。ホストは、また、それぞれのボード内の各種のレジスタに構成データを書き込み、例えば、測定信号によって使用された論理レベルのような各種の測定パラメータを制御する。そして、ホストは全てのパターン発生器のシーケンサに同時にスタート信号 S T A R T を送り、それらがパターンメモリを同時にアドレスし始めるようする。その後、中央のクロック源によって全て同時にクロックされた各シーケンサはそれらのカウントを同期して、全てのパターンメモリが同時に同じ測定サイクル内でデータを読み出すようする。

【0004】

多くの集積回路テスタは、集積回路に対して他タイプの測定を実施することがある。例えば、漏れ電流合格／不合格測定 (leakage current pass/fail test)において、既知の電圧が抵抗を介して D U T ターミナルに供給される。D U T ターミナルにおいて電流によって抵抗の両端に発生する電圧は基準電圧と比較され、D U T ターミナルの電流が特定の範囲内にあるか否かが判定される。パラメトリック漏れ電流計測テスト (parametric leakage current measurement test)において、テスタは D U T における漏れ電流の実際の値を計測する。度々、幾つかの異なるタイプの測定が D U T に対して順々に実施される。連続する測定の各測定に先立って、ホストコンピュータはテスタボードに新たなデータを送り、それらを測定のために再構成しなければならない。度々、連続する測定の各測定に先立って、ホストが全てのモジュールを再構成するために必要な時間量は、実際に測定を実施するために必要な時間の量をはるかに超える。全体の測定時間を軽減するには、特にホストが各測定の後でモジュールを再プログラムしなくてはならないときには、ホストと各モジュール間の高速のコンピュータバス接続が必要とされる。各測定間においてデータ伝送時間を少なくするために、ある種のテ

スタのホストコンピュータはパターンデータを各種のテスタボードに送る前にそれを圧縮する。これらのテスタにおいて、それぞれのテスタボードは、測定開始前か、若しくは、測定進行中にパターンデータを解凍するためのプロセッサを設ける。パターンデータは多くの場合高度に圧縮できるので、ホストがデータを回路ボードに送るために必要な時間量はデータを圧縮することによって非常に少なくすることができる。にもかかわらず、各測定の間のデータ伝送時間は、依然として、テスタがDUTに対して一連の測定を行うために必要な時間の無視できない部分のままである。

【0005】

代表的な大規模な集積回路テスタは、テスタの電子機器とICの間に物理的な接触を提供する構造の測定ヘッドを有する。測定ヘッドは、該測定ヘッドに対してICを連続的に引き渡す機械であるICハンドラーに取り付けられる。テスタの回路ボードは、測定ヘッドか又は近くのシャーシに取り付けられる。ホストコンピュータが高速並列コンピュータバスを介してテスタボードと接続されているので、そして、そのようなバスが比較的に短いので、ホストコンピュータはテスタボードの近傍に配置されねばならない。

【0006】

単独のホストコンピュータが幾つかの個々のICテスタのテスタボードを制御できるようにすることが望ましい。しかし、先行技術がこのことを実現可能にしてこなかった理由が幾つか存在する。第一に、集積回路テスタの全てのチャネルが同期して作動するものなので、個々のICに対する測定は同時に開始して、同時に終了し、同じ測定期間の長さを有しなければならない。したがって、二つのグループのテスタボードをプログラムして同時に異なる測定を実施することは難しい。先行技術のテスタは二以上のDUTを同時に測定できるが、測定中の全てのDUTは同じものでなければならず、同じ方法で測定されねばならない。また、テスタボードが短い並列のコンピュータバスを介してホストに接続されねばならないので、テスタボードのグループを分離して、互いに若干離れた個々のハンドラーに取り付けられた測定ヘッド上又はその近傍にそれらをおくことは実用的でない。コンピュータバスの長さに対する制約は、また、該バスに接続されるテ

スタボードの数に制限を加える。

【0007】

大規模な I C テスタによってなされるホストに対する要求は、ホストが大量のテスタボードを制御することを難しくしている。D U T に対して二以上のタイプの測定を実施することができる集積回路テスタにおいては、ホストコンピュータは、それぞれの測定に先立って、相当多くのデータ量をそれぞれのテスタボードに供給しなくてならない。この作業は、ホストが主に一度に一つのボードしか構成しかしないので、ホストを全くビジーにしてしまう。ホストをテスタボードに接続するバスのバンド幅の制約は、ホストが各測定間において妥当な時間内で再プログラムをすることができるテスタボードの数に実際上の制限を加える。

【0008】

必要なのは、単独のホストコンピュータが多重のテスタモジュールを制御することができるモジュラー化された集積回路テスタであり、このモジュールは独立して、又は、グループで活動して、個々の組の集積回路に対して異なる測定シーケンスを実行し、各モジュールは比較的に大きな距離ホストから物理的に離れていて、そして、ホストはそれぞれの測定間においてそれぞれのモジュールを再構成しないものである。

【0009】

発明の要約

本発明に関する集積回路テスタは、ホストコンピュータと、被測定集積回路デバイス（D U T）に対して一連の測定を実行する一組のテスタモジュールを有する。それぞれのテスタモジュールは、D U T のターミナルのサブセットにおいて全ての測定作業を実施する。

【0010】

本発明のある局面に関して、ホストコンピュータは、それぞれのモジュール内のコントローラに対し、モジュールコントローラが一連の測定のうちの各測定に対してどのようにモジュールを構成するのかを示すと共に、前記コントローラがどのようにして各種のモジュール構成要素をプログラムしてそれぞれの測定に対する一連の作業を実行するのかを示す個々の組の命令を伝送する。モジュールコ

ントローラは、各命令をモジュール内のプログラムメモリにロードし、そして、それらの実行を開始し、それによって、モジュールが一連の測定を実施することができるようとする。

【0011】

本発明の他の局面に関して、測定のためにモジュールを構成した後で、モジュールコントローラは、ホストからの監督なしで、測定の開始と同期する。ホストがそれぞれのモジュールに提供する命令は、モジュールコントローラに対して、一連の測定のうちの最初の測定のためにそのモジュールをまず構成して、そして、出力準備信号READYをアサートする。それぞれのモジュールコントローラによって生成された準備信号READYは、他の全てのモジュールに送られる。測定に参加している全てのモジュールのコントローラがそれらの出力準備信号READYをアサートしたときに、個々のモジュールの測定作業がマスタクロックに同期させた状態で測定の実行を開始する。一連の測定のうちの最初の測定の最後において、それぞれのモジュールコントローラは一連の測定のうちの次の測定のためにそのモジュールを再構成し、その出力準備信号READYを再びアサートする。第二の測定に参加している全てのモジュールがその出力準備信号READYをアサートしたときに、モジュールは第二の測定を開始する。この方法は、一連の測定のうちのそれぞれの測定に対して引き続き行われ、それぞれのモジュールコントローラは、各測定に先立って、独立して、そのモジュールを構成し、その出力準備信号READYをアサートし、そして、全てのモジュールが準備できたときに、その後それぞれのモジュールがその測定の一部を実施する。

【0012】

本発明の別の局面に関して、ホストは、各モジュールを個々のワーキンググループに組織して、それらのワーキンググループの各モジュールによって生成される入力準備信号READYのサブセットに対してのみ応答するようにそれぞれのモジュールをプログラミングすることによって、独立して個々のDUTに対する測定を実施することができる。このことは、モジュールの個々のワーキンググループが個別に測定開始に同期したり、独立して測定を実施することを可能にする。

【0013】

本発明の更に別の局面に関して、各モジュールが好ましくはイーサネットのようなネットワークを介してホストコンピュータに連結し、従来のネットワークプロトコルを用いてホストコンピュータと通信する。シリアルイーサネットバスは、高速並行コンピュータバスよりももっと長くすることができるので、モジュールの各グループはホストコンピュータと、及び、互いにもっと離れて配置される。したがって、一つのホストは、ワーキンググループがホストから遠く離れていても、モジュールの個々のワーキンググループを制御することができる。高速並行コンピュータバスを介して送るよりも、ホストがイーサネットを介して各モジュールにデータを送るのに時間がかかるかもしれないが、ホストは多くのDUTのそれぞれに対して実行すべき一連の測定を定義する命令を一旦各モジュールに送ってしまえば、それらの命令を一度送るだけである。ホストはモジュールを再構成する必要がなく、一連の測定のうちのそれぞれの測定の間ではいかなる手段においてもそれらと通信する必要もない。測定結果を得るためにそれぞれのDUTに対してそれぞれの測定シーケンスを実行した後で、ホストはローカルモジュールと通信するかもしれないが、測定結果は、DUTハンドラーがテスタに対して測定されるべき次のDUTを動かしている間にイーサネットを介して直に転送される程度の通常比較的に小量のデータだけを含んでいる。

【0014】

したがって、単独のホストが多重のテスタモジュールを制御することを可能にするモジュラー化された集積回路テスタアーキテクチャであり、モジュールが単独で、又は、独立的なグループのいずれかで活動して一又はそれ以上の異なる集積回路に対して測定シーケンスを実行し、各モジュールを比較的に大きな距離ホストから物理的に離して、そして、ホストがDUTに対して実行されるべき一連の測定のうちのそれぞれの測定の間においてはそれぞれのモジュールを再構成しないか、又は、それぞれのモジュールと通信しないものを提供することが本発明の目的である。

【0015】

本明細書の結論部分は本発明の主題を特に指摘し明確に権利を主張している。

しかし、いわゆる当業者は、同じ参照符号が同じ部材を指し示している添付の図面を参照して明細書の残りの部分を読むことによって、本発明の機構と操作方法の双方を、さらにその効果と目的と共に、最もよく理解するだろう。

【0016】

好適な実施の形態の説明

テスターアーキテクチャ

図1は、一又はそれ以上の被測定集積回路デバイス(DUT)12に対し一連の測定を実施するための本発明に関する集積回路テスト10を図示している。テスト10は一組のテスタモジュールを有しており、その各モジュールはそれぞれの測定中にDUT12の対応する組のターミナルにおいて全ての測定作業を行う。テスト10は図1においてたった三つのテスタモジュールを有するものとして描かれているが、テスト10は容易に拡張されて多数のテスタモジュールを有するようにすることができる。この発明の好適実施形態において、一連の測定には、一又はそれ以上のデジタル論理測定(digital logic tests)と漏れ電流合格／不合格測定(leakage current pass/fail test)及び／又はパラメトリック漏れ電流計測測定(parametric leakage current measurement test)が含まれる。

【0017】

DUT12に対するデジタル論理測定を実施するときに、それぞれのテスタモジュール14は論理測定信号を48以上のDUT12のターミナルに提供するか、又は、それらのDUTターミナルのうちの一又はそれ以上のターミナルにおいてDUT12が生成する出力信号を監視して、DUT12が前記測定信号に対して予想されるように応答しているか否かを判定する。デジタル論理測定中、各テスタモジュール14の活動はクロック信号源15によって生成された集中発生マスタクロックMCLKに対して同期される。漏れ電流合格／不合格測定をすると、それぞれのテスタモジュール14はDUTターミナルを流れる電流によって抵抗の両端に発生した電圧を基準電圧と比較してDUTターミナルにおける電流が許容範囲内にあるか否かを判定する。パラメトリック漏れ電流計測測定においては、テスタモジュール14はDUTターミナル内において漏れ電流を計測する

。

【0018】

テスタ10は、また、好ましくは、従来のネットワークハブ17と各シリアルネットワークバス19を有するイーサネットである従来のネットワーク18を介してテスタモジュール14(1)－14(3)に接続するホストコンピュータ16を有する。ホスト16は、実施されるべき一連の測定におけるそれぞれのモジュールの役割を定義する命令を利用者から受け取って、従来のイーサネットプロトコルを利用して、それらの命令をネットワーク18を経由してモジュール14に転送する。この命令は実施されるべき測定の順序を示し、モジュールがどのように構成されて一連の測定のうちのそれぞれの測定を実施するのかを示し、更に、それぞれの測定中に実施されるべき一連の作業を示す。デジタル論理測定のためには、命令は、DUT12に供給された測定信号がいつステート変更すべきかを示し、モジュールがいつDUT出力信号をサンプリングすべきかを示し、更に、それぞれのDUT出力信号サンプルの予想されるステートを示す。漏れ電流合格／不合格測定又はパラメータ漏れ電流計測測定のためには、命令は、どのDUTターミナルが測定されるべきか、それらのDUTターミナルに加えられるべき測定電圧を示す。漏れ電流合格／不合格測定の命令は、また、予想される漏れ電流の許容範囲を定義するデータも有する。

【0019】

各命令をモジュール14に送った後で、ホスト16はネットワーク18を経由して全てのモジュール14(1)－14(3)内のモジュールコントローラに「スタート」メッセージを一斉に送信する。それぞれのモジュールコントローラは前記命令中に含まれたメインプログラムを実行することによって、スタートメッセージに応答する。メインプログラムは、モジュールコントローラに対して、ホスト16がそのために提供した一組のセットアップ命令に基づいて一連の測定のうちの最初の測定のためのそのモジュール14をセットアップするように命じる。その後、メインプログラムは、それぞれのモジュール14(1)－14(3)のモジュールコントローラに対して、対応する準備信号READY(1)－READY(3)を他のモジュールに対して送る。それぞれのモジュール内のスター

ト論理回路は、全ての準備信号READY(1)～READY(3)を受信して、測定に含まれたモジュールからの準備信号READY(1)～READY(3)信号が全てアサートされたときに、全てのプレスタート(PRESTART)信号をローカルモジュールコントローラに送る。それぞれのモジュール内のモジュールコントローラは、モジュールに信号を送って次のMCLK信号の縁部において一連の測定のうちの最初の測定を開始することによって、プレスタート(PRESTART)信号に対し応答する。それに応じて、モジュールコントローラはマスタ命令の実行を停止して測定が完了したとのモジュールからの終了(END)メッセージを待つ。

【0020】

モジュール14が測定を実行したときに、それらの活動はMCLK信号と同期される。最初の測定が完了した時点で、それぞれのモジュール14は終了(END)信号をそのローカルモジュールコントローラに送る。それぞれのモジュールコントローラは、メイン命令の実行を再開することによって終了(END)信号に応答する。メイン命令は、モジュールコントローラに対して、一連の測定のうちの次の測定のためにそのモジュール14を構成し、その後、その出力準備信号READYを他のモジュールに送って、モジュールに信号を送って第二の測定を開始するに先立って、プレスタート信号PRESTARTを待つ。そして、それぞれのモジュールコントローラは、再び、第二の測定が完了したことを示す、それ自身のモジュール14からの終了(END)信号を待つ。

【0021】

それぞれのモジュールコントローラは、一連の測定のうちのそれぞれの測定中に、その測定のためにモジュールをセットアップし、準備信号READYを他のモジュールに送り、プレスタート信号PRESTARTを待ち、モジュールに信号を送って測定を開始し、そして、終了(END)信号を待つ処理を繰り返す。DUTが全ての測定をパスしたときである一連の測定のうちの最後の測定が完了したときには、モジュール14のうちの一つのメインプログラムは、それに対して、ネットワーク18を経由してホスト16に「DUTパス」メッセージを送るように命じる。そして、モジュールコントローラは、ホスト16からのメッセー

ジを受信するまでは何もしない。ホスト16は、例えば、テスタ10へ、及び、そこからDUTを動かして、テスタ10からDUT12を取り出すと共に、それを測定されるべき次のDUTに置き換えるDUTハンドリング装置に信号を送ることによって、DUTパスメッセージに応答する。測定のうちの一つがパラメトリック測定若しくは測定結果としてデータを生成するタイプの他の測定である場合には、ホスト16は、また、ネットワーク18を経由して適切なモジュールのコントローラから測定結果データを得ることができる。次のDUTが所定の位置に置かれて測定準備がなされたときには、ホスト16は他のスタートメッセージをネットワーク18を経由してそれぞれのモジュール14のコントローラに送り、それぞれのコントローラに対して、もう一度メインプログラムを実行することを始め、それによって、次のDUTのための測定シーケンスを初期化するように命じる。

【0022】

一連の測定のうちのいずれかの測定の間において、DUT12が予想されるようには挙動していないことをいずれかのモジュール14(1) - 14(3)が検出した場合には、それは出力故障信号FAIL(1) - FAIL(3)を他のモジュール14に送る。それぞれのモジュール14は、全てのFAIL(1) - FAIL(3)信号を監視して、測定に含まれたいずれかのモジュールがFAIL(1) - FAIL(3)信号を発生したときにDUT故障信号DUT_FAILを発生するプログラム可能な故障論理回路を有する。以下に記載するように、いずれかのモジュール14(1) - 14(3)は、「DUT故障(fail)」メッセージをネットワーク18を経由してホスト16に送って、ホストに対して、DUTが欠陥品であることを知らせることによって、そのローカルDUT_FAIL信号に応答することができる。そして全てのモジュールは、それ以上の測定作業を停止し、ネットワーク18を経由してホスト16からの次のメッセージを待つ。ホスト16は、例えば、DUTハンドラーに信号を送って欠陥DUT12を測定すべき次のDUTに置き換え、その後、スタートメッセージをそれぞれのモジュール14のコントローラに送り、該モジュールに対して、そのメインプログラムの再実行を開始するように命じ、それによって、次のDUTの測定シーケンスを初期化する。

ンスを再スタートすることによって、DUT故障(fail)メッセージに応答することができる。

【0023】

したがって、ホスト16は、測定シーケンスを定義する命令を幾つかのモジュール14のそれぞれに送り、スタートメッセージをそれぞれのモジュールコントローラに送った後で、DUTが測定シーケンスをパスしたか、又は、失敗したとのメッセージを受け取るまでは、それ以上の測定作業には参加しない。モジュール14内のコントローラは、一連の測定のうちのそれぞれの測定に先立ってモジュールを構成し、ホスト16とそれ以上の通信をすることなくそれぞれの測定の開始と同期する。

【0024】

このモジュラーアーキテクチャは、テスタ10が非集中化された構成と同期能力を具備する場合には、単独のホストコンピュータがDUTに対して実行すべき一連の測定のうちのそれぞれの測定に先立って、全てのテスタモジュールを直接に構成する従来の集積回路テスタに比べていくつかの利点を有する。従来のテスタにおいては、それぞれの測定に先立って、ホストは大量の構成データをモジュールに送らねばならない。このデータをモジュールに送るために必要な時間量を最小にするために、先行技術システムのホストコンピュータは大容量の高速並列コンピュータバスを通じてモジュールと通信しなければならない。そのような並列バスは高価であり、場所を取り、高速で作動するためには比較的短くしなければならない。ホスト16よりも、図1のテスタ10のモジュール14内のローカル命令プロセッサは、各測定の間にモジュールセットアップを処理するので、ホスト16と各モジュール14の間の高速接続は不要である。勿論、ホスト16は、実行すべき一連の測定を定義するためにネットワーク18を経由して全てのモジュールに大量のデータをまず送らねばならない。しかし、最初のDUTが測定されるに先立ってそのことをしなくてはならないのはたった一度だけなので、プログラミングデータ転送時間は、特に多くのDUTが測定されるべきであるときには、全測定時間のうちの重要な部分ではない。例えば、テスタ10がDUT製造設備内で使用される場合、DUTが陳腐化されるか、又は、もはや製造さ

れなくなるまで、ホスト16はもう一度モジュールをプログラムしなくてもよいかもしない。勿論、それぞれのDUTが測定されて測定結果を取得して、モジュールに対して次のDUTがいつ所定の場所に置かれて測定準備されるのかを教えた後で、ホストコンピュータ16はモジュール14と短時間通信するけれども、これらの行為はネットワーク18を経由して転送されるべき比較的に少量のデータのみを必要とする。

【0025】

モジュール14の命令メモリが十分大容量である場合、モジュール14は二以上のタイプのDUTを測定するための命令であってもよい。ホスト16がモジュールに送るスタートメッセージは、測定されるべき次のDUTを測定するために使用されるべき特定のメインプログラムの第一の命令の命令メモリアドレスを単に示している。したがって、モジュール14は多くの異なるタイプのDUTを測定するようにプログラムされ、ホスト16から新たにデータをプログラミングする必要なく、一のタイプのDUTの測定から他のものへといつでも切り替えることができる。

【0026】

最後に、図1のモジュラー化されたテスタのアーキテクチュアは、テスタが容易に拡張されて柔軟に構成されることを可能にする。モジュールが一旦プログラムされてしまえば、ホスト16が相対的に言ってほとんど何もすることはないので、単独のホスト16は、幾つかのグループのモジュールを、その各グループが独立したテスタとして活動する状態で、制御することができる。モジュールがイーサネットネットワーク18を通じてホストと接続されているので、例えば、各モジュールが個々のI Cハンドラーに取り付けられているときのような場合、各グループのモジュールは物理的に相当な距離だけ他のものから離すことができる。したがって、この柔軟な同期システムになると、全てのテスタが単独のホストによって制御される一組の独立したテスタにモジュールが組織されることとなる。そのような容易で柔軟なシステムの拡張と構成は、高度にホストに依存した処理に起因した、そして、高速並列バスによって相互に接続されたときのホストとテスタモジュールの間の距離の制約に依存した従来のテスタのアーキテクチュア

では不可能である。

【0027】

テスタモジュールアーキテクチャ

図2は図1のテスタモジュール14(1)をより詳細なブロック図形式で図示したものである。他のテスタモジュール14も同様である。テスタ14(1)は、イーサネットポート32とイーサネットバス19を介して図1のホスト16と通信する、好ましきはインテル社製のモデルi960マイクロコントローラであるローカルマイクロコントローラ30を有する。マイクロコントローラ30は、従来の並列コンピュータバス38Aを介して、イーサネットポート32とRAM34とROM36にアクセスする。ROM36は、マイクロコントローラ30がホスト16と通信してホスト16から命令を受け取ってその命令の実行を開始することを可能にするサブルーティンを記憶している。それがホスト16から命令を受けたときに、マイクロコントローラ30はそれらをRAM34に書き込む。

【0028】

スタート論理回路20は各モジュールによって生成された準備信号READY(1)-READY(3)の全てを受け取って、該準備信号READY(1)-READY(3)の特定のサブセットのそれがアサートされたことを検出されたときにプレスタート信号PRESTARTをマイクロコントローラ30に供給する。事実、スタート論理回路20はREADY信号を組み合わせて出力プレスタート信号を生成するANDゲートとして機能する。同様に、故障(fail)論理回路24は故障信号FAIL(1)-FAIL(3)の全てを受け取って、作動して、そして、それがFAIL(1)-FAIL(3)信号の特定のサブセットのうちのいずれか一つがアサートされたことを検出したときにDUT故障信号DUT_FAILを発生するORゲート。スタート論理回路と故障論理回路20と24は、バス38Aを経由してそれらに供給されたデータによってプログラマされる従来のプログラマ可能な論理回路によって実現される。ホストコンピュータ16がモジュール14(1)に提供する命令は、マイクロコントローラ30に対して、スタート論理回路と故障論理回路20と24をどのようにプログラムするのかを知らせる。特に、プログラミング命令は、スタート論理回路と故障

論理回路20と24に対して、それらが論理的に論理積（AND）すべきか、又は、論理和（OR）すべきなのはREADY信号のサブセットか、又は、FAIL信号のサブセットのどちらかであるかを知らせる。

【0029】

図1のモジュール14(1) - 14(3)は、それぞれのグループが独立のテストとして活動する個々のワーキンググループに組織される。このことは、個々のワーキンググループが個々のDUTを独立して測定すべきであるときに有効である。例えば、個々のワーキンググループは個々のDUTハンドラーによって処理されるか、又は、同じDUTハンドラーによって処理された個々のワーキンググループは個々のDUTを同時に測定することができる。論理回路20と24のプログラミングは、実際に、モジュール14(1)を特定のモジュールワーキンググループにアサインする。例えば、モジュール14(1)が他の全てのモジュールとは無関係に操作されるべきである場合、スタート論理回路と故障論理回路20と24は故障信号FAIL(1)と準備信号READY(1)にのみ応答するようにプログラムされる。そのような場合、モジュール14(1)がアサインされるワーキンググループはたった一つのモジュールそれ自体を所有する。他の例として、モジュール14(1)が三つのモジュール14(1) - 14(3)信号の全てを有するワーキンググループにアサインされるべきである場合には、スタート論理回路と故障論理回路20と24は準備信号READY(1) - READY(3)と故障信号FAIL(1) - FAIL(3)をANDとするか、又は、ORとるようにプログラムされる。

【0030】

従来のバスコントローラ35は、バス38Aを他のバス38Bに連結する。バスコントローラ35は、通常、バス38Bから35を分離しており、それぞれのバスが無関係に作動できるようにする。しかし、バスコントローラ35は、必要に応じて、バス38Aに接続されたデバイスがデータをバス38Aに接続されるデバイスに送るか、又は、その逆に送ることができるようになる。テスタモジュール14(1)はバス38Bにリンクされた48個一組のテスタチャネル40(1) - 40(48)を有する。それぞれのテスタモジュール14(1)は、デジ

タル論理測定中に図1のDUT12の個々のターミナルにおいて測定作業を実施する。スイッチ回路42は、選択的にそれぞれのチャネルを対応するDUTターミナルに接続する。デジタル論理測定は、一組の連続する測定サイクルの組織され、それぞれの測定サイクルの開始時点でそれぞれのテスタチャネル40(1) - 40(48)に供給される入力チャネルデータ(CDAT)は、チャネルに対して、測定サイクル中にその出力信号がどのようにしていつステートを変更すべきであるか教え、測定サイクル中においていつDUT出力信号をサンプリングするのかを教え、更に、サンプリングされたDUT出力が有すると予想されるのはどんな論理ステートなのかを教える。それぞれのチャネル40(1) - 40(48)は、それがDUT出力信号が測定のいずれかのサイクル中において予想されるステートを示せないことを検出したときには、出力故障(FAIL)信号を生成する。それぞれのチャネル40(1) - 40(48)の故障(FAIL)信号出力はORゲート58によって論理和演算されてFAIL(1)信号を生成する。

【0031】

テスタチャネル40(1) - 40(48)は、図1のクロック源15からのMCLK信号によってクロックされる同期回路である。これもMCLK信号によってクロックされる期間発生器44は、それぞれの測定サイクルがいつ始まるかを示す出力信号BOCとCVRNを生成する。それぞれの測定期間は、各期間の開始の直前に期間発生器44に供給される入力データPSETによって決定される。期間発生器44はBOC信号とCVRN信号をそれぞれのテスタチャネル40(1) - 40(48)に供給して、デジタル論理測定中にテスタチャネル40(1) - 40(48)の同期をとる。デジタル論理測定のそれぞれのサイクルに先立って、テスタモジュール14(1)内のパターン発生器46は、それぞれのテスタチャネル40(1) - 40(48)にCDAT入力を供給し、PSET入力データを期間発生器44に供給する。期間発生器44からのBOC出力信号は、パターン発生器46に対して、次の測定期間のためのPSET値とCDAT値をいつ供給するのかを知らせる。

【0032】

テスタモジュール14(1)は、また、スイッチ42を介してDUT12に連結されて、DUT12のターミナルにおいて漏れ電流を計測する従来のパラメトリック計測ユニット(PMU)50を有する。漏れ電流測定ユニット(LCTU)51は、DUT12に対する合格／不合格漏れ電流測定の間に測定信号を生成する。モジュール14(1)は、また、スイッチ42用のコントローラ52と、DUT12に電力を供給するための電源54と、テスタチャネル40(1)－40(48)とLCTU51に基準電圧を供給するための基準レベル発生器56を有する。チャネル40(1)－40(48)は、それらがDUT12に供給する測定信号の論理レベルを設定するときには、そして、それらが監視するDUT信号の論理レベルを判定するときに、標準としてこの基準電圧を用いる。

【0033】

実施すべき測定のためにRAM34に記憶されたセットアップ命令を実行するときには、マイクロコントローラ30がモジュール14(1)の他の各種の構成要素の作動を制御するためのデータを発生し、それらをコンピュータバス38Aと38Bを経由してそれらの構成要素内のアドレス可能なメモリか、又は、レジスタに書き込む。パターン発生器46に供給されるデータは、デジタル論理測定と漏れ電流合格／不合格測定の間にそれが生成して期間発生器34とチャネル40(1)－40(48)に供給すべき出力PSET及びCDATシーケンスを定義する。マイクロコントローラ30はデータを期間発生器44に送って、それに対して、パターン発生器46から入力されたそのPSETデータをどのようにデコードするのかを教える。PSETデータはたった4ビットのデータ幅であるので、たった16個の異なる測定サイクル長のうちから選択できる。しかし、パターン発生器44が非常に多数の測定サイクル長のいずれかを確立することができるので、マイクロコントローラ30がそれぞれの測定に先立って期間発生器に提供することのできるプログラミングデータは、16個の可能なPSET値のそれを特定の期間長にアサインする。したがって、いずれかの16個までの異なる測定サイクル長は、所定の測定中において選択可能である。

【0034】

マイクロコントローラ30は、また、それぞれの測定に先立って、制御データ

をテスタチャネル40(1) - 40(48)に書き込み、それらに対して、パターン発生器46からのC D A T入力の各値に対してどのように応答するのかを教える。上記のように、パターン発生器46はそのC D A T入力をそれぞれのチャネル40(1) - 40(48)にそれぞれの測定サイクルの初めにおいて供給し、チャネルに対して、サイクル中に何をなすのかを知らせる。測定サイクル中にそれぞれのテスタチャネル40(1) - 40(48)が実施することのできる異なるタイプの作業(アクションとタイミングの組み合わせ)の数は、制限された数のビットだけを有する一意のC D A T値に永久的にアサインされたものに比べてはるかに大きい。しかし、所定の測定中に実際に必要とされるアクションとタイミングの異なる組み合わせの数は、主に、比較的に小さい。したがって、測定の開始に先立って、マイクロコントローラ30がそれぞれのテスタに供給する制御データは、それぞれのパターン発生器の出力C D A Tを測定中に使用されるアクションとタイミングの特定の組み合わせに関連付ける。マイクロコントローラ30は、また、バス38A/38Bを経由して入力制御データをP M U 50、スイッチコントローラ52、デバイス電源54及び/又は基準レベル発生器56に供給して、それらの作動パラメータ又は制御設定をそれぞれの測定に先立って適切に調整する。

【0035】

パターン発生器

図3は図2のパターン発生器46をより詳細なブロック図形式で図示している。セットアップ処理の間、図2のローカルマイクロコントローラ30は、データをバス38Aと従来のバスインタフェース回路61を経由してプログラムメモリ60とパターンメモリ62に書き込むことによって前記データをパターン発生器46に供給する。パターンメモリ62は、いずれかの所定のアドレスに一の測定サイクル中に期間発生器44とテスタチャネル40(1) - 40(48)に提供されるべきC D A TデータとP S E Tデータを記憶することができる。プログラムメモリ60は測定中にアドレスをパターンメモリ62に供給して、パターンメモリ62がそれぞれの測定サイクル中に適切なC D A TデータとP S E Tデータを読み出すようにする。プログラムメモリ60は、また、それぞれの領域にパタ

ーンメモリアドレスを記憶するのに加えて、図2の期間発生器44からのBOC信号によってそれぞれの測定サイクルの開始時点でクロックされる、命令プロセッサ64のための命令も記憶する。

【0036】

図2のマイクロコントローラ30がスタート論理回路60からプレスタート信号PRES T A R Tを受け取ったときに、それはスタートメッセージをバスインターフェース回路61に送る。バスインターフェース回路61は、スタート信号S T A R Tを受け取ったときに、命令プロセッサ64はプログラムメモリ60の第一の記憶領域にアドレスして、該メモリ60が第一のアドレスをパターンメモリ62に供給して、第一の命令をプロセッサ64に提供することによって応答する。スタート信号S T A R Tを受け取ったときに、命令プロセッサ64はプログラムメモリ60の第一の記憶領域にアドレスして、該メモリ60が第一のアドレスをパターンメモリ62に供給して、第一の命令をプロセッサ64に提供することによって応答する。そして、パターンメモリ62は、第一の測定サイクル中にC D A TデータとP S E Tデータを読み出す。プロセッサ64に提供された第一の命令I N S Tは、該プロセッサ64に対して、次のBOC信号パルスの受信時において、プログラムメモリ60に対する次のアドレス(A D D R)をどのように生成するのかを命じる。その後、プログラムメモリ60はパターンメモリ62に対する新たなアドレス(A D D R E S S)を読み出し、次の命令I N S Tをプロセッサ64に供給する。測定が終了していることを示す、プログラムメモリ60からの停止命令を命令プロセッサ64が受け取るまでその処理は続行する。この停止命令は、プロセッサ64が終了信号E N Dをバスインターフェース61に送って、バスインターフェース61からの他の信号を待つことができるようになる。インターフェース回路61は、アンド終了メッセージをマイクロコントローラ30に送ることによって終了信号E N Dに応答する。

【0037】

その時点で、図2のマイクロコントローラ30は、必要ならば、いずれかが新たなデータをパターンメモリ62のプログラムメモリ60へ提供する次の測定のためにテスタを再構成する。しかし、次の測定がパターン発生器46を必要としており、プログラムメモリ60とパターンメモリ62が第一と第二の測定の両方のためのデータを保有するのに十分なほど大容量であるのであれば、マイクロコ

ントローラ30はいかなる新たなデータをメモリ60又は62に送る必要はないかも知れない。

【0038】

次の測定のためにモジュールをセットアップして、プレスタート信号PRES TARTを受け取った後で、マイクロコントローラ30は、次の測定がパターン発生器46を必要とするのであれば、スタートメッセージかリストアートメッセージのいずれかをバスインターフェース61に送って、バスインターフェース回路がスタート信号STARTかリストアート信号RESTARTのいずれかを命令プロセッサ64に送れるようにする。スタート信号STARTは、命令プロセッサに対して、プログラムメモリ60の第一の記憶領域にアドレスするように命じるが、マイクロコントローラ30が新たなプログラムデータをプログラムメモリ60に書き込んだときに使用される。リストアート信号RESTARTは、マイクロコントローラ30が新たなプログラムデータをプログラムメモリ60に書き込まなかつたときで、命令プロセッサ64が前回の測定の最後の命令のアドレスに引き続く次のアドレスにおいてプログラムメモリ60のアドレスを再開すべきに使用される。

【0039】

測定中に図2の故障論理回路24がDUT故障信号DUT_FAILを発生するときは、それはその信号を割り込みとしてパターン発生器の命令プロセッサ64に送る。そして、命令プロセッサ64はプログラムメモリ60に記憶された割り込みルーティンを実行する。例えば、その割り込みルーティンは、命令プロセッサに対して、DUT故障信号DUT_FAILをバスインターフェース61に送って、スタート信号STARTかリストアート信号RESTARTのいずれかを受信するまで更なる操作を停止するように命じる。バスインターフェース61は、DUT故障メッセージをマイクロコントローラ30に送ることによって、DUT故障信号DUT_FAILに対して応答する。そしてまた、マイクロコントローラ30はDUT故障メッセージを図1のホスト16に送る。そして、ホストは新たなDUTを測定ヘッドに挿入する状態にして、スタートメッセージをそれぞれのモジュールのマイクロコントローラ30に送って測定を再開することができる。

【0040】

期間発生器

図4は図2の期間発生器44をより詳細なブロック図形式で図示している。期間発生器44は、出力BOC信号及び出力CVRNデータ値を生成することによって、パターン発生器46のPSET出力に応答する。BOC信号は、次の測定サイクルの開始の直前のMCLKパルスを示すが、一方、CVRNデータは、次の測定サイクルが実際に始まるそのMCLKパルスの後の一のMCLKサイクルの小数部分を示す。

【0041】

メイン測定サイクルは、マスタクロックMCLKサイクルの整数と小数に亘る。図2のパターン発生器46のPSET出力は、それがセットアップ命令を実行するときに、RAM66をアドレスする。バス38Bを経由してマイクロコントローラ30からのデータによってロードされたRAM66は、16個の可能なPSET値のそれぞれを測定サイクルの長さを定義するデータに変換するための参照テーブルとして作用する。図1のRAM66のデータ出力は、それぞれ次のメイン測定サイクルの期間の整数部分と小数部分を示す整数値WHOLEと小数値FRACTIONを有する。次のBOC信号パルスの後縁において、整数値WHOLEはカウンタ68にロードされ、小数値FRACTIONはアキュムレータ70によって累算される。そして、カウンタ68はMCLK信号パルスのカウントを始める。そのカウントがWHOLEに達したときに、カウンタ68は次のBOCパルスを発生する。BOCパルスの前縁は、図2のパターン発生器46に対して、新たなPSET値を生成するように命じ、それによって、RAM66が次の測定サイクルのための整数／小数(WHOLE／FRACTION)データ対を生成するようにする。アキュムレータ70は、連続する小数データ値FRACTIONを累算してCVRNデータを生成する。累算されたCVRNデータが一MCLKサイクルを超えた期間を示したときにアキュムレータ70がオーバーフローして、カウンタ68の+1入力にオーバーフロー信号OFを提供する。カウンタ68が次に整数値WHOLEをロードしたときには、それはカウント制限を前記整数値WHOLE+1に設定する。したがって、カウンタ68のBOC出力

は、次の測定サイクルの開始の直前のM C L K パルスを示すが、一方、C V R N データは次の測定サイクルが実際に始まるそのM C L K パルスの後のM C L K サイクルの小数部分を示す。

【0042】

テスタチャネル

図5は図2のテスタチャネル40(1)をより詳細なブロック図形式で図示している。テスタチャネル40(2)～40(48)も同様である。図2のパタン発生器46がそれぞれの測定サイクル中にそれぞれのテスタチャネル40(1)～40(48)に供給するチャネルデータC D A Tは、フォーマット設定データ(F S E T)とタイム設定データ(T S E T)と基準データ(P G)を含んでいる。F S E Tデータは、チャネルが測定サイクル中に使用すべき特定のドライブフォーマット又は比較フォーマットを参照する。「ドライブフォーマット」は、チャネルが測定サイクル中にその出力測定信号のステートを制御する特定の方法である。ドライブフォーマットは、チャネルが測定サイクル中に連続する測定信号のステートを判定するデータを得る方法とチャネルが測定信号のステート変更のタイミングをとる方法を含んでいる。「比較フォーマット」は、D U T出力信号が測定サイクル中に予測されるように挙動しているか否かをチャネルが判定する特別な方法である。比較フォーマットは、チャネルが出力信号の予想されるステートを決定する方法と、チャネルが出力信号をその予想されるステートと比較して故障信号F A I Lを生成する方法を含んでいる。T S E Tデータは、例えば、測定信号のステートの変更やD U T出力信号の比較のような、イベントが発生すべき測定サイクル中のある時点を示す。

【0043】

テスタチャネル40(1)は、一組のドライブ制御信号(DとV HとZ)に応じてD U Tターミナルに対して測定信号を供給するためのピンエレクトロニクス回路72を有する。D制御信号は、ピンエレクトロニクス回路72に対し、その出力テスト信号(D R I V E)をハイ論理レベルに駆動するか、又は、ロー論理レベルに駆動するのかを教える。V H信号は、ピンエレクトロニクス回路72に対し、そのD R I V E信号を二次電圧に駆動するか否かを教える。Z制御信号は

、ピンエレクトロニクス回路72に対し、D R I V E 信号をいつ三状態にするのかを教える。それぞれの測定サイクル中に、ピンエレクトロニクス回路72は、また、D U T ターミナルD U T 出力信号C O M P A R E を監視して、D U T 出力信号が現状でハイ論理レベルを超えているか、又は、ロー論理レベルを下回っているかを示す比較ハイと比較ロー信号（C H とC L ）を生成する。ピンエレクトロニクス回路72は、D U T のハイ論理レベルとロー論理レベルを決定するときに、基準として図2のレベル発生器56からの信号を利用する。

【0044】

ピンエレクトロニクス回路72に加えて、テスタチャネル40（1）は、フォーマッタ回路74と二つのタイミング信号発生器76と78を有する。それぞれのタイミング信号発生器76又は78は、それぞれの測定サイクルの開始時にパターン発生器20からT S E T データを、期間発生器20からB O C 信号とC V R N 信号を受信して、それぞれの測定サイクル中に一度出力タイミング信号T1又はT2を、T S E T データによって示された測定サイクルの開始に引き続くある遅延を伴って、パルス化する。B O C データとC V R N データは、それぞれの測定サイクルがいつ始まるのかを示す。

【0045】

フォーマッタ回路74は、パターン発生器20からF S E T データを受信し、ドライブ制御信号D、Z及びV H をピンエレクトロニクス回路72に供給してそれがF S E T データによって示されたドライブフォーマットを実施できるようにする。F S E T データがドライブフォーマットを参照したとき、P G データは、フォーマッタがドライブ制御信号を設定すべきステートを示すことができ、タイミング信号T1又はT2は、示すフォーマッタ回路74に対して、いつドライブ制御信号DとZとV H のステートを調整するのかを知らせる。F S E T データが比較フォーマットを参照したとき、フォーマッタ回路74はT1及び／又はT2タイミング信号によって示された時点においてピンエレクトロニクス回路の比較ハイと比較ロー出力C H とC L をサンプリングし、そして、それから測定サイクル中に故障信号F A I L をアサートするか否かを決定する。ある種の比較フォーマットにおいては、P G データはC H データとC L データの予想されるステート

を参照する。

【0046】

それがデジタル論理測定の開始前にそのセットアップ命令を実行するときには、図2のマイクロコントローラ30はバス38Bを経由して制御データをタイミング信号発生器76と78とフォーマッタ74に書き込む。タイミング信号発生器76と78に供給された制御データは、特定のT1とT2タイミング信号パルス遅延をTESTのそれぞれの可能な値に関連付けをする。それぞれのチャネルのフォーマッタ74に供給されたプログラミングデータは特定のドライブ及び制御フォーマットをFSETデータとPGデータの可能なそれぞれの組み合わせに関連付けをする。

【0047】

フォーマッタ

図6は、図5のフォーマッタ74を詳細なブロック図形式で図示している。図6に関連して、フォーマッタ74は、各主測定サイクル中に図2のパターン発生器46から4ビットのFSETデータ値を受信する。FSETデータは、測定サイクル中にDUTターミナルにおいてテスタチャネルによって実行されるべき特定のテストフォーマットを示す。4ビットのFSETデータ値は、その一つ一つがそれぞれのFSETデータの値に対応している16個の記憶領域を有するRAM80にアドレスする。測定開始前に、図2のインストラクタマイクロコントローラ30は、バス38Bを経由してRAM80のそれぞれの記憶領域にフォーマット制御データ(FORMAT)を書き込む。それぞれのチャネルは多くの異なる種類のテストフォーマットを実行できるけれども、フォーマッタ74に供給されたFSETデータ値はたった4ビットを有し、16の異なる値をとることしかできない。したがって、FSETデータ値はフォーマッタ74が生成することのできる多くの異なるテストフォーマットのうちの16個しか表すことができない。RAM80の16個の記憶領域に記憶されたデータは、チャネル74が測定サイクル中に実行できる多くの可能なテストフォーマットのうちからどの16個かを決定する。インストラクションマイクロコントローラ30が異なる制御データを図2のそれぞれのテスタチャネル40(1)～40(48)のフォーマッタ

74のRAM80に書き込むことができるので、テスタチャネルは、必ずしも同じ16個のフォーマットのためにプログラムされるべきではない。

【0048】

測定中、到来したFSETデータ値がRAM80にアドレスされると、RAM80はアドレスされたFORMATデータの一部をドライブ論理回路82に読み出し、そして、アドレスされたFORMATデータの他の部分を比較論理回路84に読み出す。ドライブ論理回路82は、また、図1のタイミング発生器18からT1及びT2タイミング信号を受信すると共に、図2のパターン発生器46からチャネルデータCDATの基準データビットPGを受信する。D、Z、VH信号の特定の一連のステート変更がFORMATデータによって制御され、これらのステート変化のタイミングがT1及びT2タイミング信号によって制御されながら、ドライブ論理回路82は、D、Z、VH出力信号を図5のピンエレクトロニクス回路72に供給する。ある種のドライブフォーマットの場合には、PGデータの各ビットはD、Z及び／又はVH信号が駆動されるべきステートを示す。他のドライブフォーマットにおいては、D、Z及び／又はVH信号の新たなステートは、フォーマット自体によって特定され、PGデータには依存しない。

【0049】

比較論理回路84は、また、図5のピンエレクトロニクス回路72の比較ハイ(CH)及び比較ロー(CL)出力信号と共に、T1及びT2タイミング信号とPGデータを受信する。比較論理回路84は、CH及び／又はCL信号をそれらの予想されるステートと比較して、CHとCL信号のステートが測定サイクルにおいて予想されるものでない場合には、MOD_FAIL信号をアサートする。FORMATデータは、比較論理回路84が比較を実行する方法(フォーマット)を制御する。比較論理回路へのFORMATデータ入力はタイミングT1及び／又はT2タイミング信号を選択して比較のタイミングを制御する。ある種の比較フォーマットの場合、2ビットの基準データPGは、CH及びCL信号が状態を示す予測されるステートを示す。他の比較フォーマットにおいては、予測されるステートは、フォーマットそれ自体によって特定され、そして、PGデータには依存しない。

【0050】

漏れ電流計測と合格／不合格測定

図7は、図2のPMU50とLCTU51とスイッチコントローラ51とルーティングスイッチ42をより詳細なブロック図形式で図示している。ルーティングスイッチ42は、テスタチャネル40(1)～40(48)とPMU50とLCTU51をそれぞれのDUTターミナルに選択的に接続する。切り替え位置は、図2のマイクロコントローラ30がセットアップ処理中にスイッチコントローラ52のレジスタ88に書き込む制御データの各ビットによって制御される。デジタル論理測定中、スイッチ90は閉じられており、図2のテスタチャネル40(1)～40(48)のうちの一つのピンエレクトロニクス回路72(図5)のドライブ信号DRIVE出力に接続する。スイッチ91は閉じられて比較信号入力COMPAREとしてDUT出力信号を図5のピンエレクトロニクス回路72に提供する。スイッチ92と93と94が開放されて、DUTターミナルからPMU50とLCTU51を分離する。

【0051】

LCTU51は、それぞれが漏れ電流合格／不合格測定中にルーティングスイッチ42を介して個々のDUTターミナルに測定電圧を提供する48個の電圧源回路を有する。図7には、たった一つのそのような電圧源回路51Aが示されている。漏れ電流合格／不合格測定中、スイッチ90と91と92は開放されている。スイッチ93は閉じられてLCTU51内の増幅器A1が測定電圧 V_t を可変抵抗器R1を介してDUTターミナルに加えることができるようになる。DUTターミナルへの電流又はそこからの電流は、抵抗器R1の両端に電圧を生成する。LCTU51内の増幅器A3は、R1の両端に現れる電圧を増幅して、それを比較信号入力COMPAREとして閉成されたスイッチ94を介してテスタチャネル40(1)～40(48)のうちの一つのピンエレクトロニクス回路72(図5)に供給する。テスタチャネル40(1)～40(48)は、比較信号COMPAREの電圧が所定の閾値を超えていて、DUTターミナルにおける電流が所定の範囲外にある場合にはその故障信号FAILをアサートする。所望の電圧レベル V_t を示す図2のレベル発生器51からの基準電圧 V_p が差動増幅器A1

の一方の入力に供給される。ユニティゲイン増幅器A 2は増幅器A 1の他の入力にV_tをフィードバックする。増幅器A 2によって提供されたフィードバックは、D U T ターミナルを介した漏れ電流の量にもかかわらず、増幅器A 1が所望の測定電圧V_tにV_tを維持できるようにする。レジスタ9 5は、測定中にR 1の値を制御するために図2のマイクロコントローラ3 0からセットアップデータを格納する。

【0052】

パラメトリック漏れ電流計測テストの間、PMU5 0はスイッチ9 2を介してD U T ターミナルのうちの一つと接続され、その漏れ電流を計測する。スイッチ9 0と9 1と9 3と9 4は開放されたままである。パラメトリック測定において、漏れ電流が計測されるべき特定の電圧は、D U T ターミナルに強制的に負荷されており、D U T ターミナルへの又はそこからの結果としての漏れ電流が計測される。パラメトリックテスタ5 0は、システムのセットアップ中にバス3 8 Bを経由して図2のマイクロコントローラ3 0によって提供される制御データを格納するアドレス可能なレジスタ9 6を有する。レジスタ9 6内に格納されたデータ値は、デジタルーアナログコンバータ（D A C）9 7を駆動して、基準電圧を差動増幅器A 4に提供する。増幅器A 4は、容量C 1と並列な抵抗器R 2とスイッチ9 8を介してD U T ターミナルで電圧を発生する。D U T ターミナルにおける電圧がユニティゲイン増幅器A 5を介して増幅器A 4の入力へフィードバックされる状態で、増幅器A 4はD U T ターミナルの電圧をD A C9 7の出力によって示されたレベルに保持する。増幅器A 6は、R 2の両端に現れた電圧を増幅してアナログーデジタル（A／D）コンバータ9 9へ入力を提供する。A／Dコンバータ9 9は増幅器A 6の出力をデジタイズして、それをバス3 8を経由して図2のマイクロコントローラ3 0によってリードアクセスされるレジスタ1 0 1に供給する。測定中、シーケンサ1 0 3はスイッチ9 8とレジスタ1 0 1を制御するための出力制御信号S 1とS 2を生成する。

【0053】

スイッチコントローラ5 2のレジスタ8 8内にデータを格納して、スイッチ9 2を介してPMU5 0を所望のD U T ターミナルに接続した後で、図2のマイク

ロコントローラ30はバス38を介してシーケンサ103に信号を送る。シーケンサ103はS1信号をアサートしてスイッチ98を閉じ、それによって、容量C1を放電させ増幅器A4がDUTターミナルを測定電圧に駆動することを可能にする。シーケンサ103は、そして、S1をデアサートしてスイッチ98を開放し、DUTターミナルでの漏れ電流が容量C1を充電できるようにする。増幅器A6は、C1の両端の電圧を増幅する。所定時間経過後、シーケンサ103は直に出力信号S2をアサートし、A/Dコンバータ99が増幅器A6の出力をサンプリングしてレジスタ101の入力へ供給されるデジタル量に変換するようになる。シーケンサ103の出力信号S3は、レジスタ101に対して、A/Dコンバータ99のデータ出力を格納するように命じる。そして、シーケンサ103は測定メッセージの終了をバス38を介してマイクロコントローラ30に送る。マイクロコントローラ30は、その後バス38Bを経由してレジスタ101からデータを読み込んで、それを測定メッセージの終了と共に図1のホスト16に送る。ホスト16はレジスタ101から読み出されたデータを基に漏れ電流を計算することができる。なぜならば、シーケンサ103がS1をとめる時間とそれがS2をパルス化する時間の間のインターバルで、それがC1が充電できた時間によって分割された増幅器A6のサンプリングされた出力と比例しているからである。

【0054】

テスタのプログラミングの例

図8は、図1のホストコンピュータ16が図2のテスタモジュール14(1)にネットワーク18を経由して供給することのできるメインプログラム例のフローチャートである。図9は、図8のメインルーティンが呼び出してモジュール14(1)の操作を図1のテスタ10の他のモジュールと同期する同期スタートSTART SYNCサブルーティンを示すフローチャートである。図2のマイクロコントローラ30は、RAM34内に各種のサブルーティンの全てと図1のホスト16によって提供されるデータファイルと共にメインプログラムを記憶する。ホスト16がスタートメッセージをネットワーク18を経由してマイクロコントローラ30に送ったとき、マイクロコントローラはスタートメッセージに含ま

れたRAM34のアドレスにおいて始まるメインプログラムを実行し始める。

【0055】

図8に示された例においては、テスタモジュール14(1)は、連続してデジタル論路測定と漏れ電流合格／不合格測定とパラメトリック漏れ電流計測テストを行うべきである。工程100において、図2のローカルマイクロコントローラ30は、デジタル論理測定のためのセットアップ命令を実行する。ホスト16からの命令は、それぞれのデータ値が記憶されるべきメモリ又はレジスタのアドレスと共に、各種のモジュール構成要素内の各種のメモリやレジスタに記憶格納されるべき全てのデータ値を含んだそれぞれの測定のためのセットアップデータファイルを有する。工程100において、マイクロコントローラ30は最初の測定のためのセットアップファイルからのそのデータをバス38A／38Bを介して全て適切なアドレスに書き込む。このデータは、スタート論理回路と故障論理回路20と24をプログラムするためのデータと、期間発生器44とパターン発生器46とテスタチャネル40(1)～40(48)内の各RAMに書き込まれるべきデータと、PMU50とデバイス電源5454とレベル発生器56内の各レジスタに書き込まれるべきパラメータ制御データとスイッチコントローラ52内のレジスタに書き込まれるべきスイッチ構成データを含む。

【0056】

最初の測定のためのセットアップデータを各種のモジュール構成要素に書き込んだ後に、マイクロコントローラ30は図9に示された同期スタートサブルーティンSTART SYNC102を実行する。図9に関連して、デジタル論理測定を行うためのモジュール14(1)のセットアップを完了したマイクロコントローラ30は、まず、図2の準備信号READY(1)をアサートして(工程104)、モジュール14(1)がデジタル論理測定を行うための準備ができるということを示す。そして、マイクロコントローラ30は、該測定に含まれる他のモジュールもまた測定準備が完了していることを示す図2のスタート論理回路20のプレスタート信号出力を待ち(工程106)、更に、準備信号READY(1)をデアサートする(工程108)。そして、マイクロコントローラ30は、スタートメッセージを図2のパターン発生器46に送り、それに対して測定を開始

するように命じる（工程109）。

【0057】

図9のSYNCルーティンは、RAM34又はROM36にアクセスしないように、それぞれのモジュールのマイクロコントローラ30にコード化さる。全てのマイクロコントローラ30がMCLK信号でクロックされるので、同期SYNCルーティンの各工程は同期して実施される。したがって、全てのモジュールのパターン発生器46はそれらのスタートメッセージを同時に受け取り、同時に最初の測定サイクルのためのPSET/CDATを読み出す。このことは、全てのモジュール14のテストチャネル40(1)～40(48)がその後に同時に最初の測定サイクルを始めることを可能にする。

【0058】

再度図8に関連して、同期スタートルーティンSTART SYNCを実行した後で、マイクロコントローラ30は、それがパターン発生器46から図1のモジュール14のうちの一つがDUTの故障を検出して故障信号FAILをアサートしたことを示すDUT故障DUT_FAILメッセージを受け取るまでか、若しくは、それが図2のパターン発生器46からDUT測定がうまく完了したことを示す測定終了メッセージを受け取る（工程112）までのいずれかまで、待機する（工程110）。DUT故障DUT_FAILメッセージを受け取った時点で、マイクロコントローラ30はDUT故障メッセージを図1のホスト16に送り（工程114）、そして、マイクロコントローラがホストから他のメッセージを受け取るまではマイクロコントローラの作動を停止する（工程115）。

【0059】

図2のパターン発生器46が工程112でDUTの論理測定がうまく行ったことを示す測定終了メッセージをマイクロコントローラ30に送った場合、マイクロコントローラ30はセットアップデータを図2のテストチャネル40(1)～40(48)と期間発生器44とスイッチコントローラ52と電源54とレベル発生器56に送って、それらの構成要素の漏れ電流合格／不合格測定を実行するための準備をする（工程116）。この例においては、図3のパターン発生器46のプログラムメモリ60とパターンメモリ62がデジタル論理測定と漏れ電流

合格／不合格測定の双方のための全てのデータを保持する程十分大容量であることと、マイクロコントローラ30がデジタル論理測定のためにモジュールをセットアップするときに両測定のためのデータをそれらのメモリに書き込んでいることを想定している。

【0060】

漏れ電流合格／不合格測定のためにモジュールをセットアップした後で、メインルーティンは、スタートメッセージよりもむしろリスタートメッセージが工程109でパターン発生器22に送られることを除いて、図9の同期スタートサブルーティンSTART SYNCと同様の同期リスタートサブルーティンRES TART SYNCを呼び出す（工程118）。リスタートメッセージは図3のパターン発生器命令プロセッサ64に対して、プログラムメモリ60にアドレスすることを再開して、デジタル論理測定のための最後の命令を含むアドレスに引き続くアドレスでアドレスするように命じる。このことは、漏れ電流測定の最初の命令が記憶された場合である。

【0061】

マイクロコントローラ30は、再び、パターン発生器46からのDUT故障DUT_FAILメッセージ（工程120）か、測定終了メッセージ（工程122）のいずれかを待つ。パターン発生器からDUT故障DUT_FAILメッセージを受け取ったときに、マイクロコントローラ30はDUT故障メッセージをホスト16に送り（工程121）、そして、停止してホストからの次のメッセージを待つ（工程123）。図2のパターン発生器46が、工程122で、DUTの漏れ電流合格／不合格測定が成功したことを示す測定終了メッセージを送った場合、マイクロコントローラ30はセットアップデータを図2のPMU50とスイッチコントローラ52とレベル発生器56に送って、パラメトリック漏れ電流計測テストのためにモジュールを準備する（工程124）。そして、工程109でマイクロコントローラ30がスタートメッセージを図7のPMU50のシーケンサ103にして、それに対して、漏れ電流計測テストを始めるように命じるすることを除いて図9の同期スタートルーティンSTART SYNCと同様である並列同期ルーティンPARA SYNCを実行する。そして、マイクロコントロ

ーラ30はPMU50が測定が完了したことを示す終了メッセージを返すまで待機する（工程130）。その後、マイクロコントローラ30は図7のPMU50のレジスタ101から漏れ電流の大きさをあらわすデータを読み出し（工程132）、測定完了メッセージをホストに送り漏れ電流データを搬送する（工程134）。そして、マイクロコントローラ30は停止して、次に何をするのかを命じるホストからのメッセージを待つ。

【0062】

したがって、プログラミングされて、ホストコントローラからの干渉されることはなく、DUTに対して実施されるべき一連の測定に先立って、自動的に構成すると共に、それら自体を再同期化する一組のテスタモジュール14を有するモジュール化された集積回路テスタ10を明らかにし、説明してきた。このテスタアーキテクチャは、モジュール14が、異なるタイプのDUTを同時に測定し、そして、互いに並びにホストから物理的に相当の距離離れることのできる独立したワーキンググループに組織化されることを可能にする。上記の明細書は本発明の好適な実施の形態を説明してきたが、いわゆる当業者は本発明から逸脱することなくその広範な諸相において前記好適な実施の形態に対して多くの改作をすることができる。したがって、添付の特許請求の範囲は、本発明の真の範囲内及び本発明の精神の範囲内にある全ての改作を保護することを意図している。

【図面の簡単な説明】

【図1】

本発明に関するモジュール化された集積回路テスタを図示している。

【図2】

図1の代表的なテスタモジュールをより詳細なブロック図形式で図示している。

。

【図3】

図2のパターン発生器をより詳細なブロック図形式で図示している。

【図4】

図2の期間発生器をより詳細なブロック図形式で図示している。

【図5】

図2の代表的なテスタチャネルをより詳細なブロック図形式で図示している。

【図6】

図5のフォーマッタをより詳細なブロック図形式で図示している。

【図7】

図2のパラメトリック計測ユニット（P M U）と漏れ電流測定ユニット（L C T U）ヒルーティングスイッチをより詳細なブロック図形式で図示している。

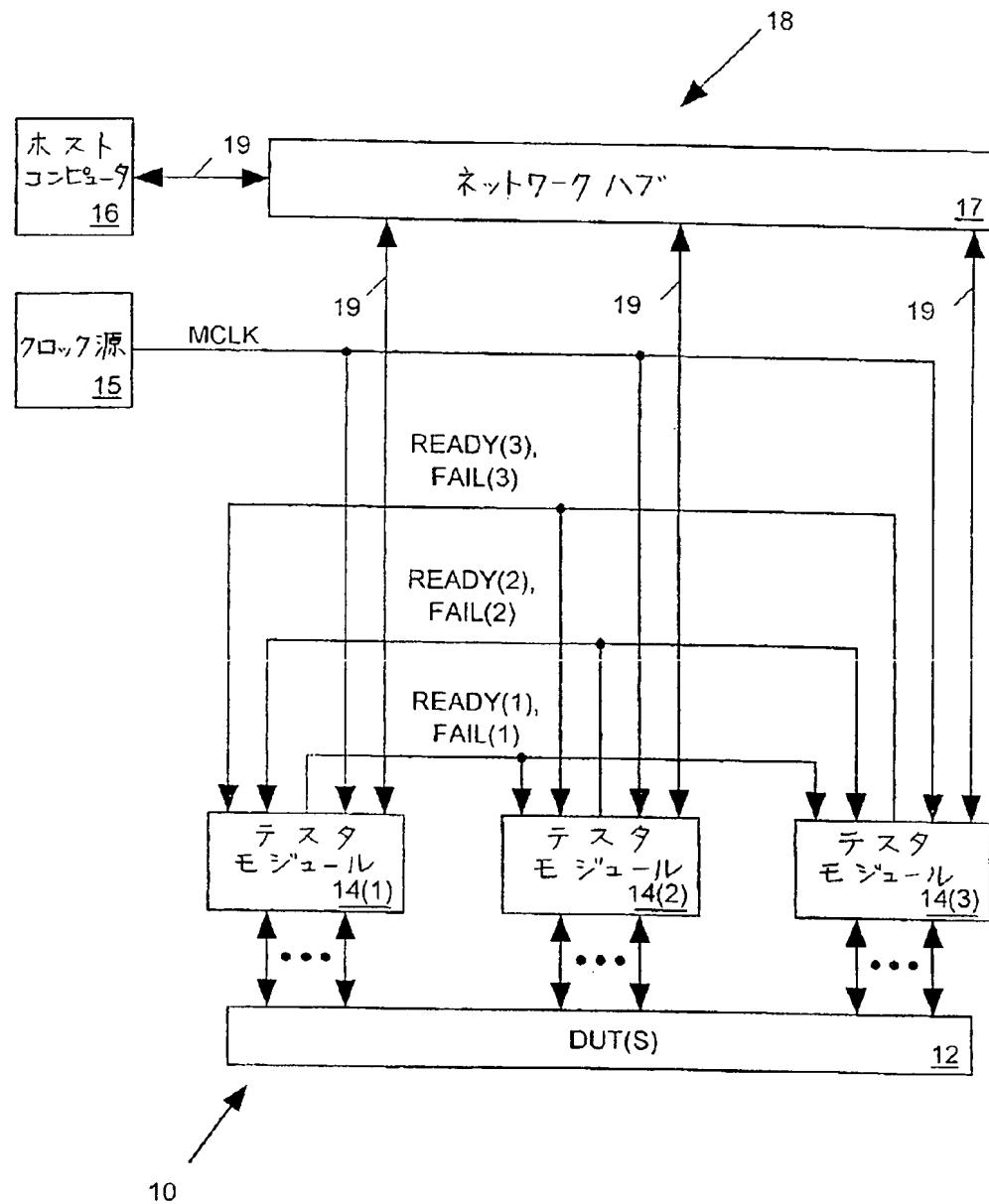
【図8】

図1のホストコンピュータが図1のテスタに供給する代表的なメインプログラムのフローチャートである。

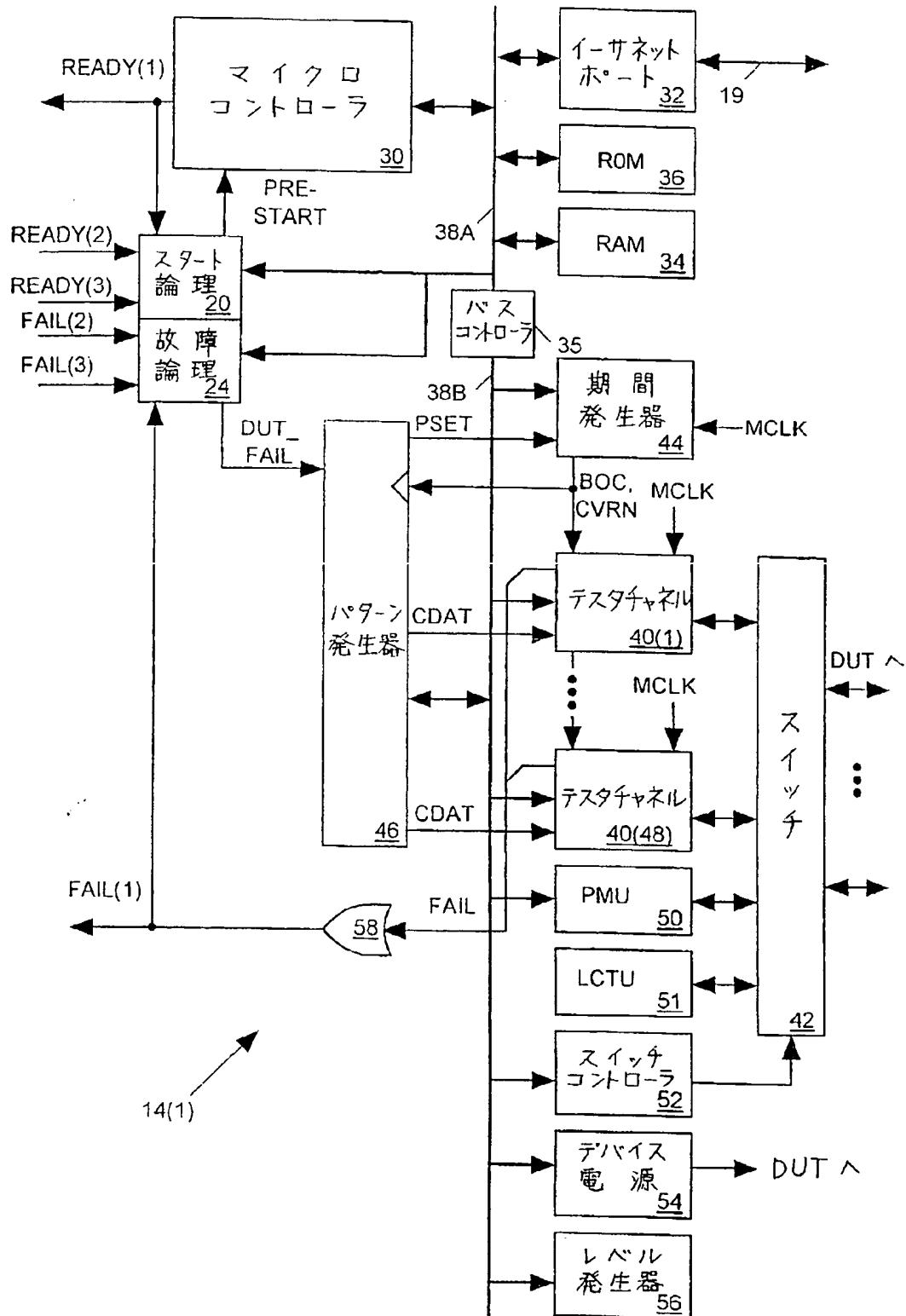
【図9】

図9のメインルーティンによって呼び出される同期サブルーティンS Y N Cを示すフローチャートである。

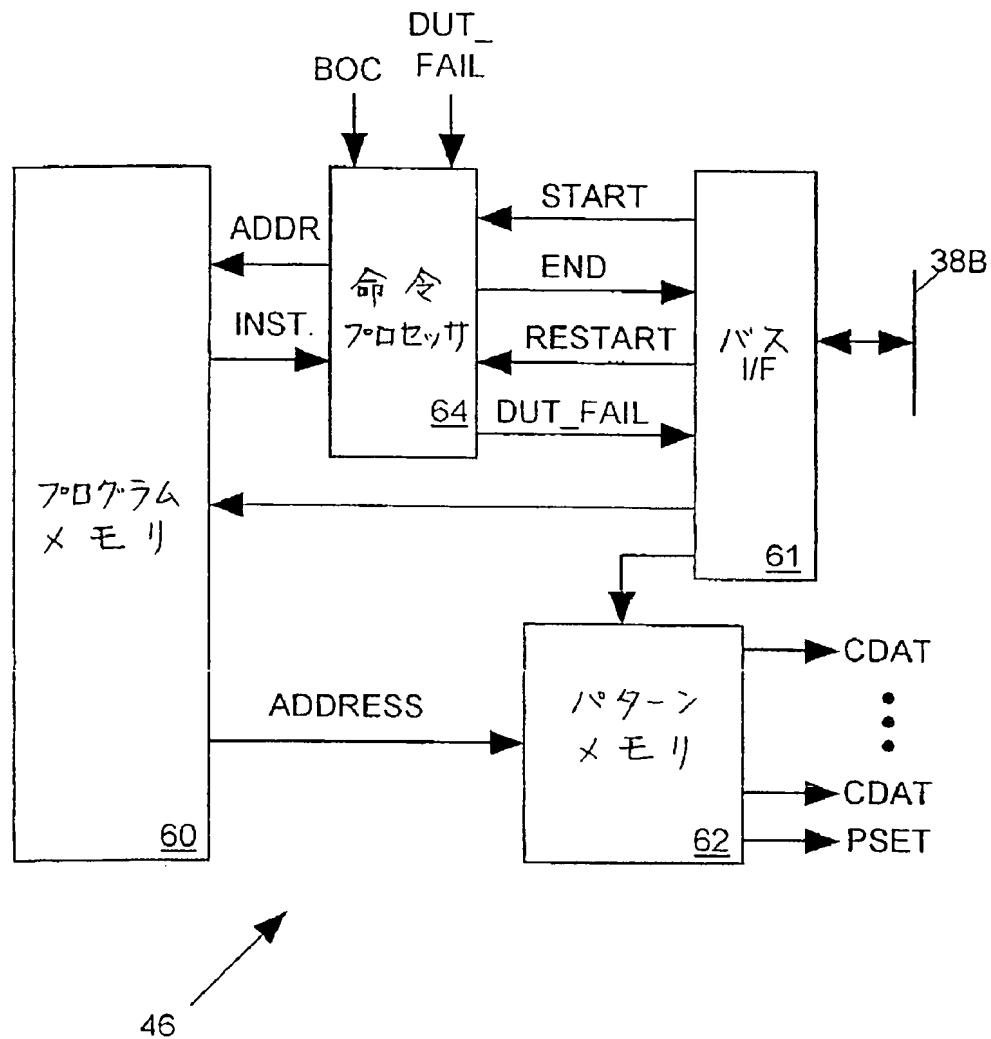
【図1】



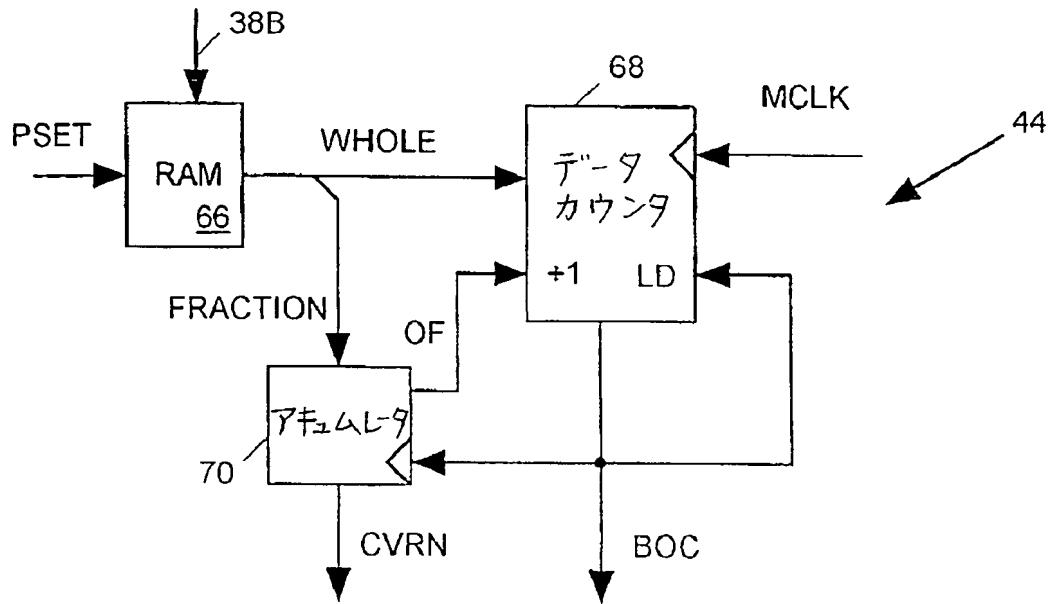
【図2】



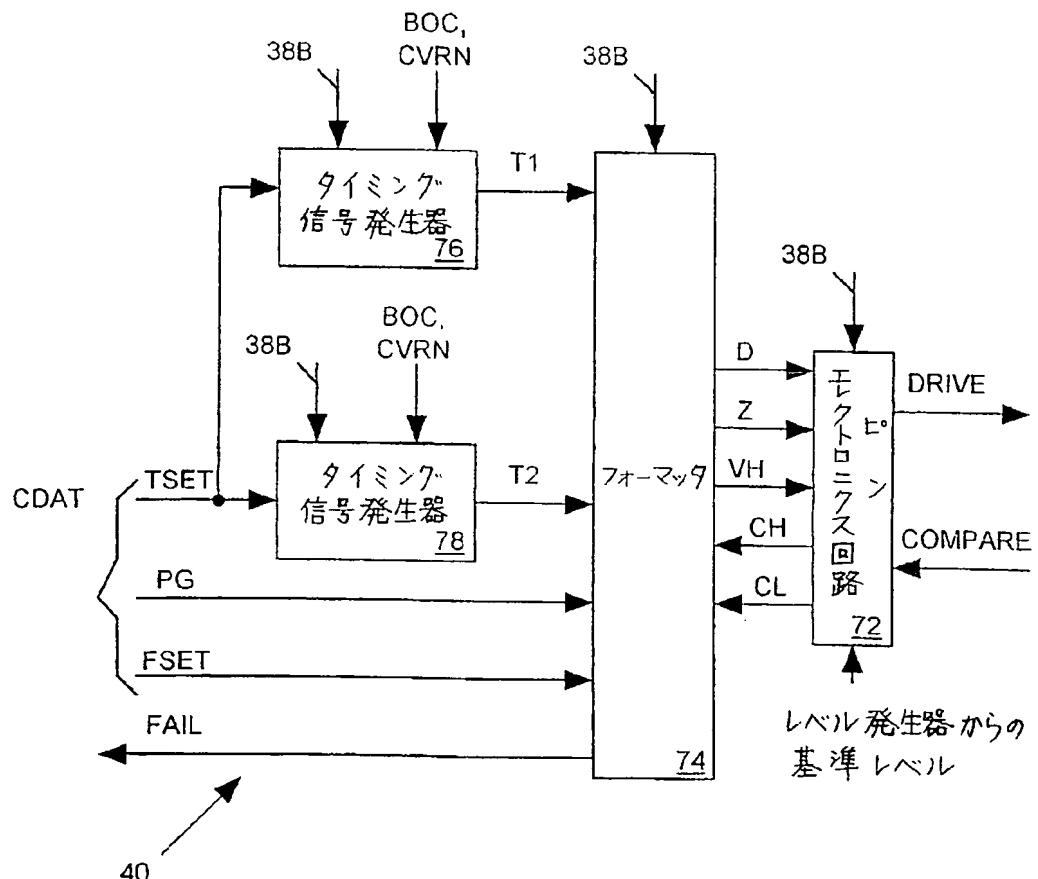
【図3】



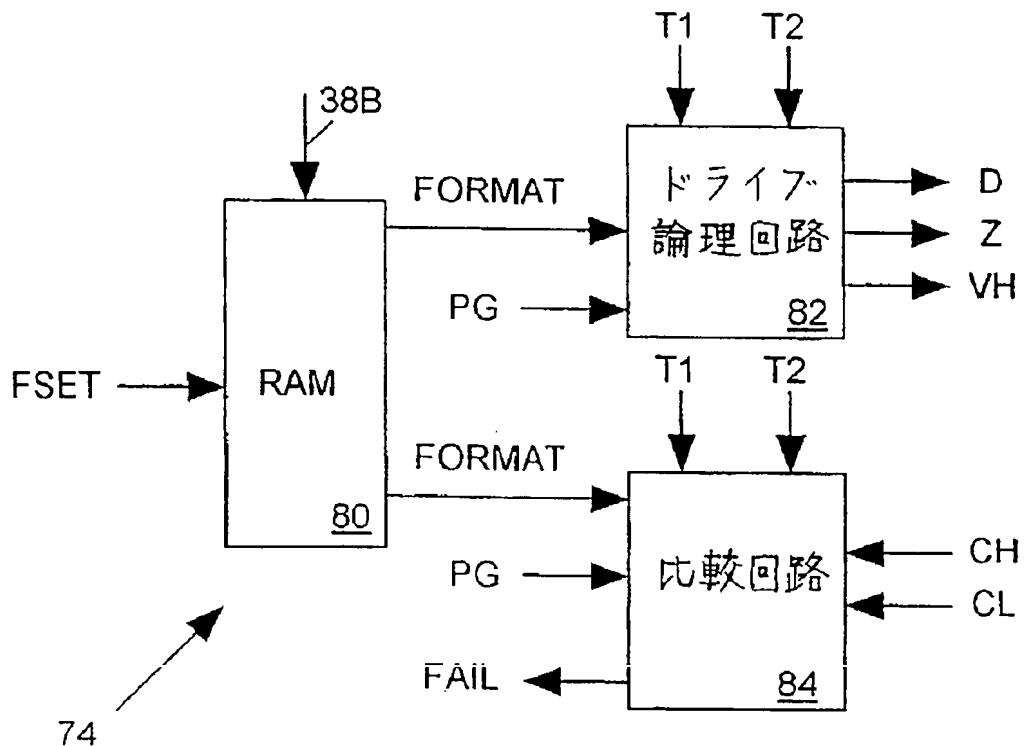
【図4】



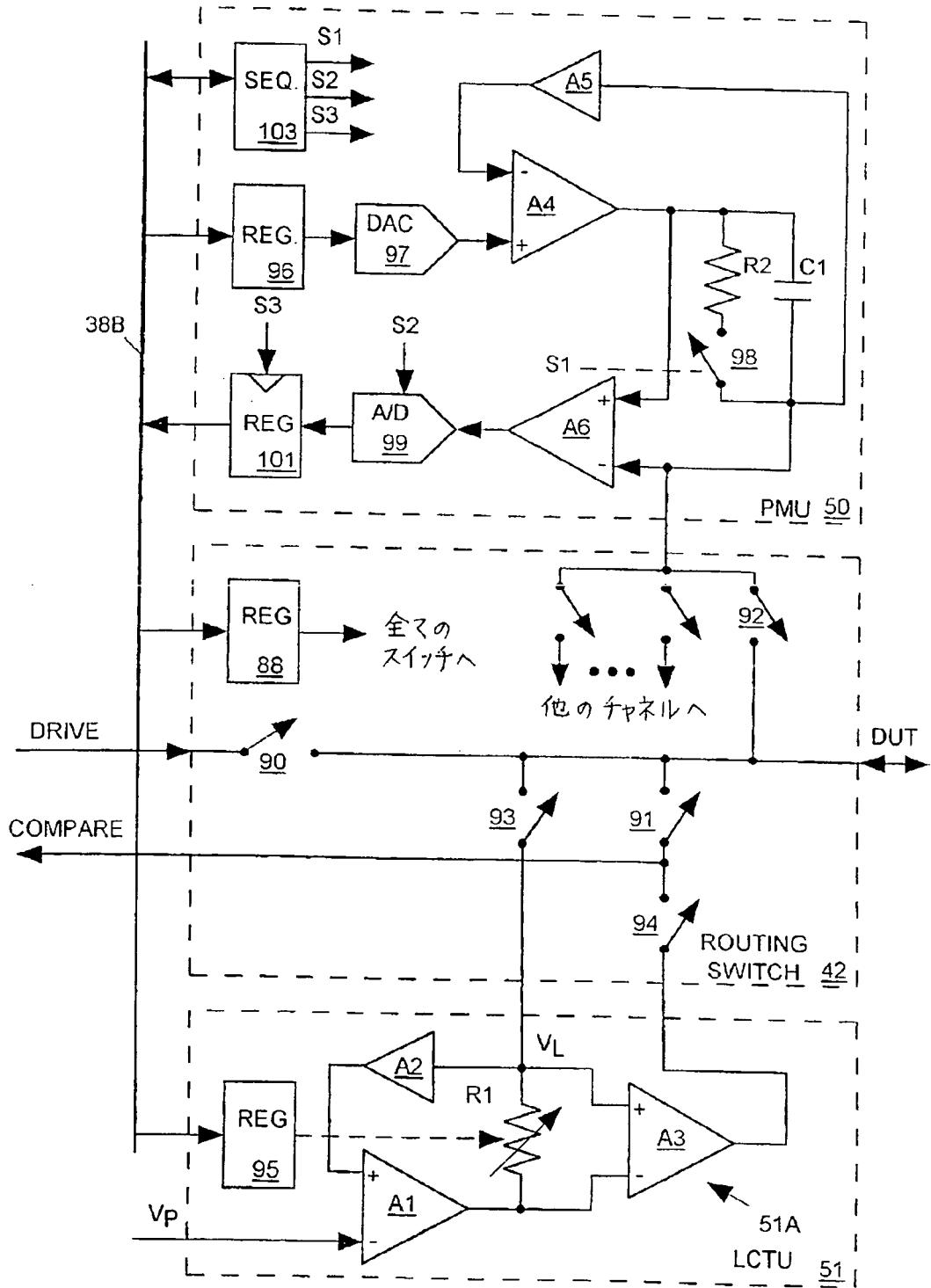
【図5】



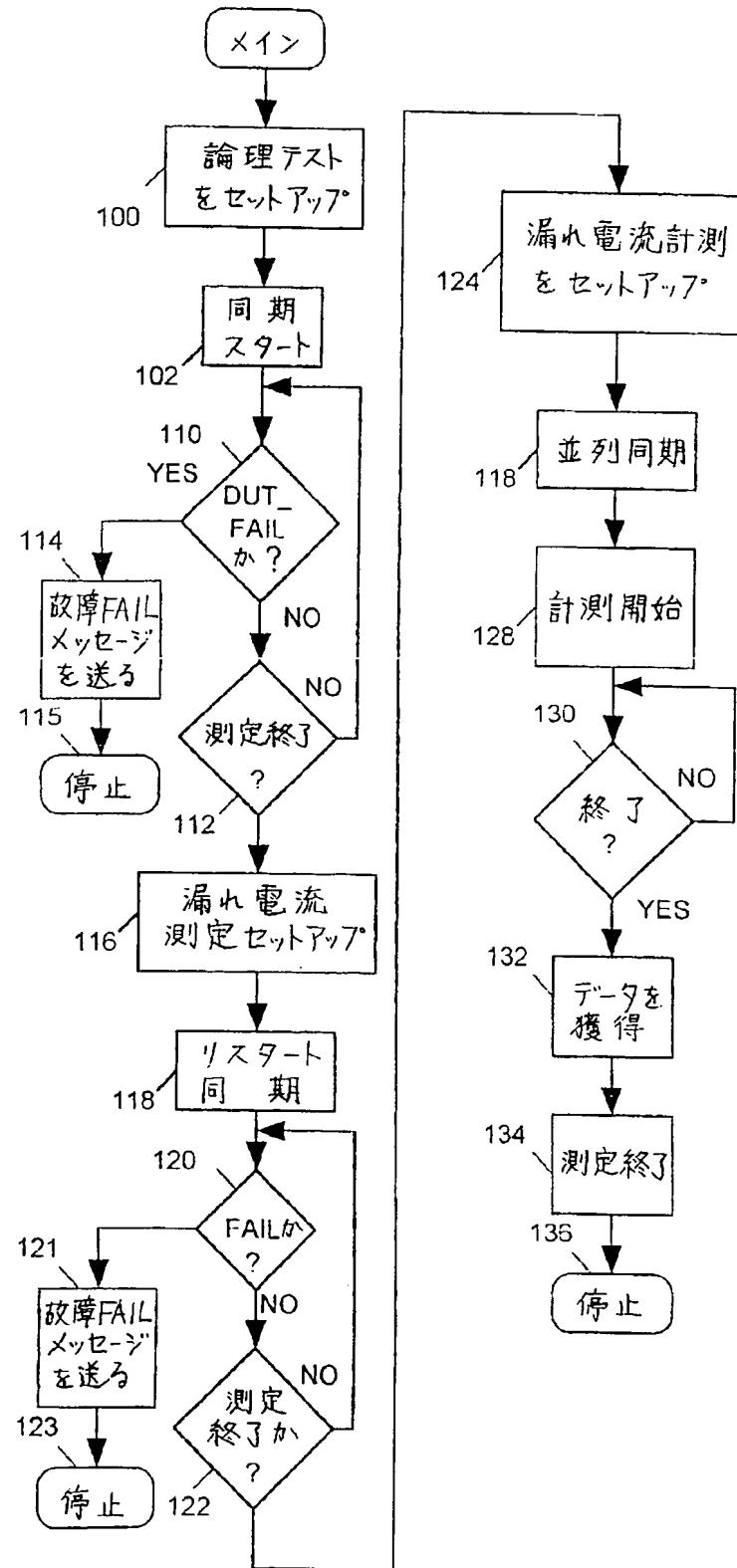
【図6】



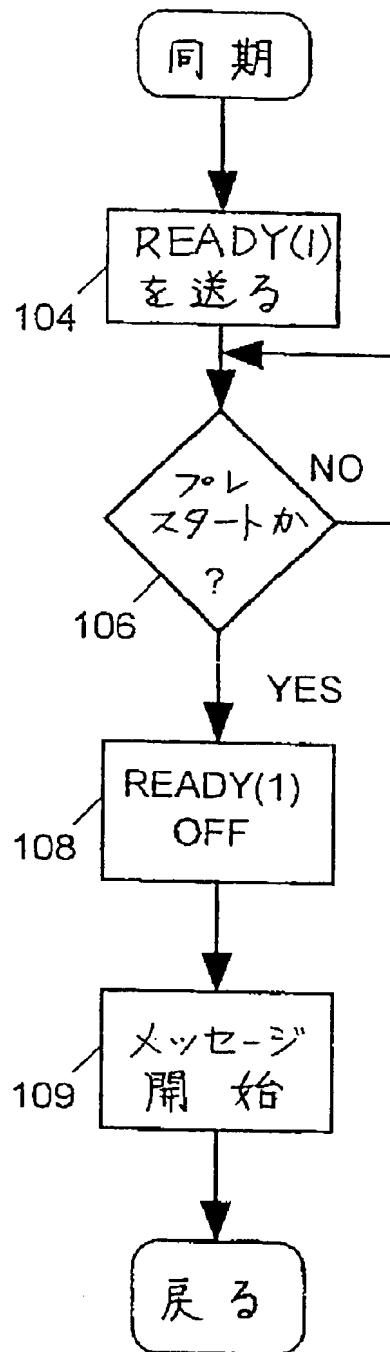
【図7】



【図8】



【図9】



【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成11年5月13日(1999.5.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】複数のターミナルを有する被測定集積回路デバイス(DUT)を測定するためのモジュラー化された集積回路テスタであって、該テスタが、各命令を運ぶためのネットワーク手段と、

該ネットワーク手段を経由して複数の命令セットを送信するための前記ネットワーク手段に接続されたホストコンピュータと、

該ホストコンピュータによって送信された前記命令セットのうちの対応するものを受け取るための前記ネットワーク手段に接続された複数のテスタモジュールであって、同時に前記DUTターミナルで測定作業を実施するために同時に前記DUTに接続されるものとからなり、それぞれのテスタモジュールが、バス手段と、

受け取った命令セットを記憶するために前記バス手段と接続するメモリ手段と、

前記バス手段を経由してパターン制御データを受け取って記憶し、その後記憶されたパターン制御データに応じてチャネル制御データを発生する、前記バス手段に接続されたパターン発生器と、

前記バス手段に接続して、前記バス手段を経由して前記メモリから、受け取った命令セットを読み出して、その命令セットを実行するコントローラ手段であって、前記命令セットが前記コントローラ手段に対し前記バス手段を経由して前記パターン制御データを前記パターン発生器に提供するように命じるものと、

前記パターン発生器によって発生されたチャネル制御データを受け取るために前記パターン発生器に接続された複数のテスタチャネルであって、それぞれのテ

スタチャネルがチャネル制御データに応じて前記ターミナルにおける測定作業を行うために前記D U Tのターミナルと接続されているものとからなるモジュラー化された集積回路テスト。

【請求項2】 それぞれのテスタモジュールが、更に、入力準備信号R E A D Yの論理的組み合わせに応じてプレスタート信号P R E S T A R Tを前記テスタモジュールのコントローラ手段に送るスタート論理手段とからなり、

前記パターン制御データをパターン発生器に提供した後で、それぞれのテスタモジュールのコントローラ手段によって実行された前記命令セットが前記コントローラ手段に対して準備信号R E A D Yをそれぞれのテスタモジュールのスタート論理手段に送るように命じ、

それぞれのテスタモジュールのパターン発生器が、スタートメッセージを受信したときに、前記チャネル制御データの発生を始め、更に、

それぞれのモジュールのコントローラ手段が、プレスタート信号P R E S T A R Tに応じて、該スタートメッセージを前記モジュールのパターン発生器に送ることを特徴とする前記請求項1に記載のモジュラー化された集積回路テスト。

【請求項3】 前記準備信号R E A D Yの論理的組み合わせが前記スタート論理手段への入力として提供されるデータをプログラミングすることによって決定されることを特徴とする前記請求項2に記載のモジュラー化された集積回路テスト。

【請求項4】 前記ホストコンピュータが、入力としての前記プログラミングデータを前記ネットワーク手段を経由して前記スタート論理手段に提供することを特徴とする請求項3に記載のモジュラー化された集積回路テスト。

【請求項5】 前記ネットワーク手段がホストコンピュータから前記テスタモジュールへ前記命令セットをシリアルデータ転送として運ぶことを特徴とする前記請求項1に記載のモジュラー化された集積回路テスト。

【請求項6】 それぞれのテスタチャネルが、更に、入力された一組のモジュール故障信号の論理的組み合わせに応じて、D U T故障信号を発生する故障論理手段とからなり、

それぞれのテスタモジュールが、更に、一組のチャネル故障信号に応じて前記

モジュール故障信号のうちの一つを発生する手段とからなり、更に、

前記テスタチャネルのうちのいずれか一つによって行われる測定作業が、それが接続されているDUTターミナルにおいて発生されるDUT出力信号を監視することと、出力信号が予想されるステートではないときに前記チャネル故障信号のうちの一つを発生することを含んでいることを特徴とする前記請求項1に記載のモジュラー化された集積回路テスタ。

【請求項7】 それぞれのテスタモジュールのメモリ手段に記憶された命令セットが、前記故障論理手段から前記DUT故障信号を受信したときに、前記コントローラ手段によって実行されるルーティンを有することを特徴とする前記請求項6に記載のモジュラー化された集積回路テスタ。

【請求項8】 それぞれのテスタモジュールが、更に、

入力された準備信号READYの論理的組み合わせに応じて前記テスタモジュールのコントローラ手段にプレスタート信号PRESSTARTを送るスタート論理手段であって、それぞれのテスタモジュールのコントローラ手段によって実行される前記命令セットが、前記パターン発生器に前記パターン制御データを提供了後で、前記コントローラ手段に対して準備信号READYをそれぞれのテスタモジュールのスタート論理手段に送るように命じ、それぞれのテスタモジュールのパターン発生器がスタートメッセージの受信時に前記チャネル制御データの発生を始め、更に、それぞれのモジュールのコントローラ手段が、プレスタート信号PRESSTARTに応じて、前記スタートメッセージを前記モジュールのパターン発生器に送るものと、

一組の入力されたモジュール故障信号の論理的組み合わせに応じてDUT故障信号を発生する故障論理手段であって、それぞれのテスタモジュールが、更に、一組のチャネル故障信号に応じて前記モジュール故障信号のうちの一つを発生する手段を有し、更に、前記テスタチャネルのうちのいずれか一つによって行われる測定作業が、それが接続されているDUTターミナルにおいて発生するDUT出力を監視することと、出力信号が予想されるステートでないときには前記チャネル故障信号のうちの一つを発生することを含んでいるものとからなることを特徴とする請求項1に記載のモジュラー化された集積回路テスタ。

【請求項9】 前記論理的組み合わせが、前記ネットワーク手段を経由して前記スタート論理手段と前記故障論理手段への入力として提供されたデータをプログラミングすることによって決定されることを特徴とする請求項8に記載のモジュラー化された集積回路テスタ。

【請求項10】 前記ホストコンピュータが、入力としての前記プログラミングデータを前記スタート論理回路と前記故障論理回路へ提供することを特徴とする前記請求項9に記載のモジュラー化された集積回路テスタ。

【請求項11】 複数のターミナルを有する被測定集積回路デバイス（DUT）に対して一連の測定を行うモジュラー化された集積回路テスタであって、該テスタが複数のテスタモジュールを有し、それぞれのテスタモジュールが、

入力された準備信号READYの論理的組み合わせに応じてスタートメッセージを発生するスタート論理手段と、

測定中に少なくとも一つのDUTターミナルにおいてなされるべき一連の測定作業を定義する制御データセットを受信し、前記スタート論理手段によって発生された前記スタートメッセージを受信し、更に、前記スタートメッセージに応じて、受け取った制御データによって定義された一連の測定作業を行う測定手段と、

命令を記憶するメモリ手段と、

前記メモリ手段に記憶された命令を実行するコントローラ手段であって、前記命令が前記コントローラ手段に対して前記測定のそれぞれに対する個々の組の制御データを連続的に提供するように命じ、それぞれの制御データセットが前記少なくとも一つのDUTターミナルにおいてなされるべき一連の測定作業を定義し、それぞれの制御データセットを測定手段に提供した後で、前記準備信号READYのうちの一つを前記複数のテスタモジュールのそれぞれのスタート論理手段に提供するものとからなるモジュラー化された集積回路テスタ。

【請求項12】 前記複数のテスタモジュールのそれぞれが、更に、一組の入力モジュール故障信号の論理的組み合わせに応じて、DUT故障信号を発生する故障論理手段と、
一組のチャネル故障信号に応じて前記モジュール故障信号のうちの一つを発生

する手段とからなり、前記テスタモジュールのうちのいずれか一つによって行われる測定作業が、それが接続されているDUTターミナルにおいて発生するDUT出力信号を監視することと、該出力信号が予想されるステートでないときには前記チャネル故障信号のうちの一つを発生することを含んでいることを特徴とする前記請求項11に記載のモジュラー化された集積回路テスタ。

【請求項13】 それぞれのテスタモジュールのメモリ手段に記憶された命令セットが、前記故障論理手段からDUT故障信号を受信したときに、前記コントローラ手段によって実行されるルーティンを有することを特徴とする前記請求項12に記載のモジュラー化された集積回路テスタ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

本発明の他の局面に関して、測定のためにモジュールを構成した後で、モジュールコントローラは、ホストからの監督なしで、測定の開始と同期する。ホストがそれぞれのモジュールに提供する命令は、モジュールコントローラに対して、一連の測定のうちの最初の測定のためにそのモジュールをまず構成して、そして、出力準備信号READYをアサートする。それぞれのモジュールコントローラによって生成された準備信号READYは、他の全てのモジュールに送られる。測定に参加している全てのモジュールのコントローラがそれらの出力準備信号READYをアサートしたときに、個々のモジュールの測定作業がマスタクロックに同期させた状態で測定の実行を開始する。一連の測定のうちの最初の測定の最後において、それぞれのモジュールコントローラは一連の測定のうちの次の測定のためにそのモジュールを再構成し、その出力準備信号READYを再びアサートする。第二の測定に参加している全てのモジュールがその出力準備信号READYをアサートしたときに、モジュールは第二の測定を開始する。これらの方法は、一連の測定のうちのそれぞれの測定に対して引き続き行われ、それぞれのモ

ジユールコントローラは、各測定に先立って、独立して、そのモジュールを構成し、その出力準備信号READYをアサートし、そして、全てのモジュールが準備できたときに、その後それぞれのモジュールがその測定の一部を実施する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

DUT12に対するデジタル論理測定を実施するときに、それぞれのテスタモジュール14は論理測定信号を48以上のDUTのターミナルに提供するか、又は、それらのDUTターミナルのうちの一又はそれ以上のターミナルにおいてDUT12が生成する出力信号を監視して、DUT12が前記測定信号に対して予想されるように応答しているか否かを判定する。デジタル論理測定中、各テスタモジュール14の活動はクロック信号源15によって生成された集中発生マスタークロックMCLKに対して同期される。漏れ電流合格／不合格測定をするとき、それぞれのテスタモジュール14はDUTターミナルを流れる電流によって抵抗の両端に発生した電圧を基準電圧と比較してDUTターミナルにおける電流が許容範囲内にあるか否かを判定する。パラメトリック漏れ電流計測測定においては、テスタモジュール14はDUTターミナル内の漏れ電流を計測する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】

スタート論理回路20は各モジュールによって生成された準備信号READY(1)－READY(3)の全てを受け取って、該準備信号READY(1)－READY(3)の特定のサブセットのそれぞれがアサートされたことを検出さ

れたときにプレスタート信号PRESTARTをマイクロコントローラ30に供給する。また、スタート論理回路20はREADY信号を組み合わせて出力プレスタート信号を生成するANDゲートとして機能する。同様に、故障(fail)論理回路24は故障信号FAIL(1)～FAIL(3)の全てを受け取って、そして、それがFAIL(1)～FAIL(3)信号の特定のサブセットのうちのいずれか一つがアサートされたことを検出したときにDUT故障信号DUT_FAILを発生するORゲートとして作動する。スタート論理回路と故障論理回路20と24は、バス38Aを経由してそれらに供給されたデータによってプログラムされる従来のプログラム可能な論理回路によって実現される。ホストコンピュータ16がモジュール14(1)に提供する命令は、マイクロコントローラ30に対して、スタート論理回路と故障論理回路20と24をどのようにプログラムするのかを知らせる。特に、プログラミング命令は、スタート論理回路と故障論理回路20と24に対して、それらが論理的に論理積(AND)すべきか、又は、論理和(OR)すべきなのはREADY信号のサブセットか、又は、FAIL信号のサブセットのどちらかであるかを知らせる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】

漏れ電流計測と合格／不合格測定

図7は、図2のPMU50とLCTU51とスイッチコントローラ52ヒルティングスイッチ42をより詳細なブロック図形式で図示している。ルーティングスイッチ42は、テスタチャネル40(1)～40(48)とPMU50とLCTU51をそれぞれのDUTターミナルに選択的に接続する。切り替え位置は、図2のマイクロコントローラ30がセットアップ処理中にスイッチコントローラ52のレジスタ88に書き込む制御データの各ビットによって制御される。デジタル論理測定中、スイッチ90は閉じられており、図2のテスタチャネル40

(1) - 40 (48) のうちの一つのピンエレクトロニクス回路72 (図5) のドライブ信号D R I V E出力に接続する。スイッチ91は閉じられて比較信号入力C O M P A R EとしてD U T出力信号を図5のピンエレクトロニクス回路72に提供する。スイッチ92と93と94が開放されて、D U TターミナルからP M U 50とL C T U 51を分離する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】

本発明に関するモジュール化された集積回路テスタを図示している。

【図2】

図1の代表的なテスタモジュールをより詳細なブロック図形式で図示している。

。

【図3】

図2のパターン発生器をより詳細なブロック図形式で図示している。

【図4】

図2の期間発生器をより詳細なブロック図形式で図示している。

【図5】

図2の代表的なテスタチャネルをより詳細なブロック図形式で図示している。

【図6】

図5のフォーマッタをより詳細なブロック図形式で図示している。

【図7】

図2のパラメトリック計測ユニット (P M U) と漏れ電流測定ユニット (L C T U) とルーティングスイッチをより詳細なブロック図形式で図示している。

【図8】

図1のホストコンピュータが図1のテスタに供給する代表的なメインプログラ

ムのフローチャートである。

【図9】

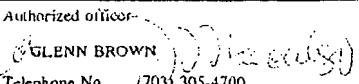
図8のメインルーティンによって呼び出される同期サブルーティンSYNCを示すフローチャートである。

【国際調査報告書】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US98/22701

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6) :G01R 31/26 US CL :324/765, 73.1, 158.1 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 324/765, 73.1, 158.1, 537		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) U.S. PTO APS: search terms—integrated circuit, computer, memory, instruction, test, control		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,280,486 A (ARKIN et al.) 18 January 1994, (18/01/94) Fig. 1, col. 1, line 49 through col. 3, line 36.	1-13
X	US 5,235,271 A (KIRA) 10 August 1993, (10/08/93) Figs. 2 and 4, col. 2, line 64 through col. 4, line 40.	1-13
A	US 5,130,648 A (MOUM) 14 July 1992, (14/07/92) Figs. 1 and 3.	1-13
A	US 4,768,195 A (STONER et al.) 30 August 1988, (30/08/88) Fig. 2.	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document published on or after the international filing date *L* document which may draw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 17 DECEMBER 1998	Date of mailing of the international search report 19 JAN 1999	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer  Telephone No. (703) 305-4700	

Form PCT/ISA/210 (second sheet)(July 1992)*

フロントページの続き

(72)発明者 ジレット・ギャリー・シー
アメリカ合衆国, カリフォルニア州
95138, サンノゼ, タイバー コート
1642

(72)発明者 チャン・デービット
アメリカ合衆国, カリフォルニア州
94583, サンラモン, オータムウインド
コート 68

Fターム(参考) 2G032 AE06 AE07 AE08 AE10 AE12
AE14 AF10 AG04 AG07

【要約の続き】
る各測定の間において繰り返される。